

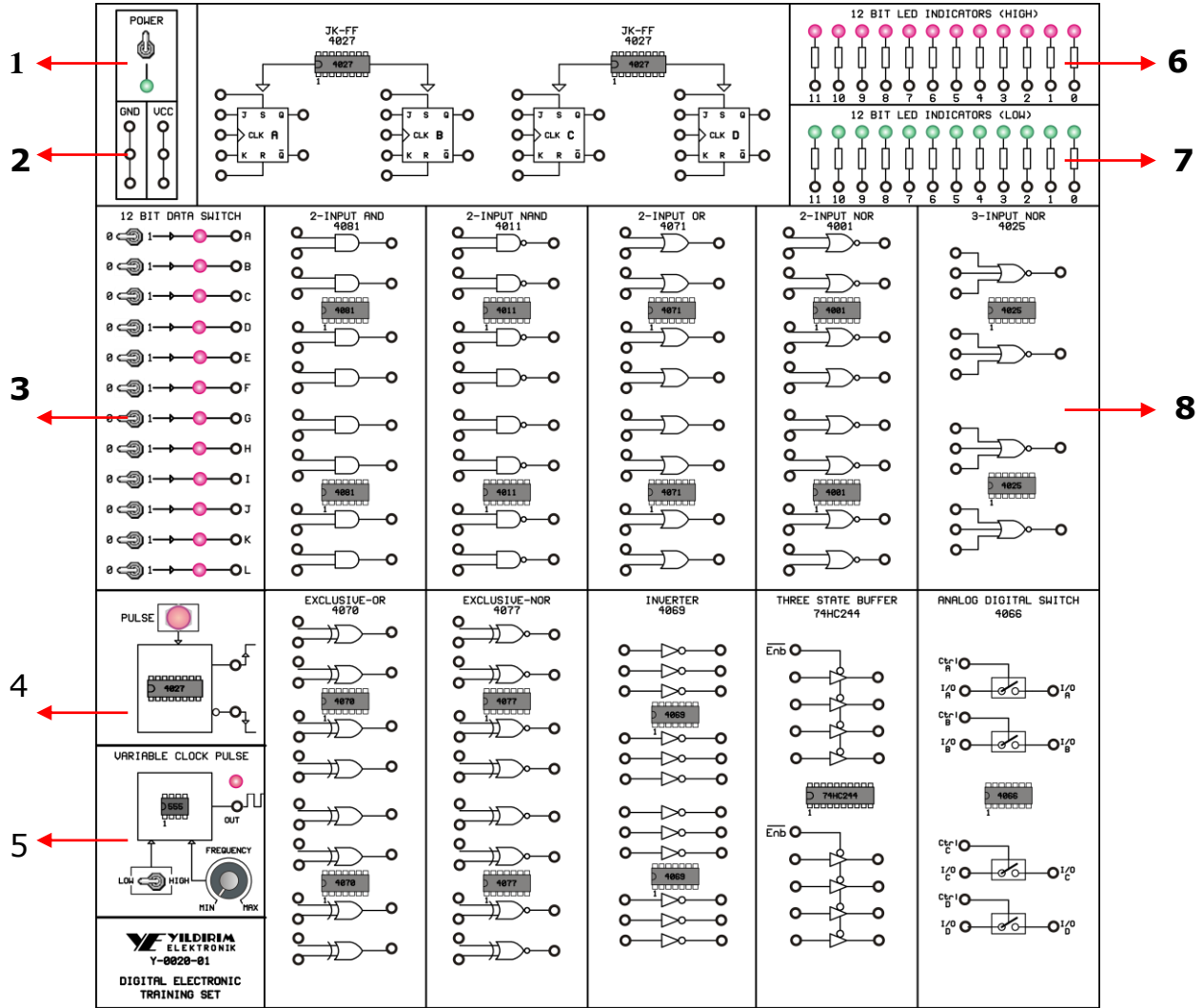
TEMEL SEVİYE DİJİTAL ELEKTRONİK

7-2011

YILDIRIM ELEKTRONİK

İÇİNDEKİLER	SAYFA
<i>İÇİNDEKİLER</i>	2
<i>DİJİTAL ELEKTRONİK SETİ TANITIMI</i>	3
<i>DİJİTAL ELEKTRONİK EĞİTİM SETİNDE BULUNAN DEVRELERİN KULLANILMASI</i>	4
<i>GENEL BİLGİLER</i>	5
DENEY ADI : 4081 AND (Ve) kapısının incelenmesi (Ön bilgi)	12
DENEY NO-1 : 4081 AND (Ve) kapısının doğruluk tablosunun çıkarılması	14
DENEY NO-2 : 3-Girişli AND (Ve) kapısının doğruluk tablosunun çıkarılması	16
DENEY ADI : 4071 OR (Veya) kapısının incelenmesi (Ön bilgi)	18
DENEY NO-3 : 4071 OR (Veya) kapısının doğruluk tablosunun çıkarılması	19
DENEY NO-4 : 3-Girişli OR (Veya) kapısının doğruluk tablosunun çıkarılması	21
DENEY ADI : 4069 INVERTER (Tersleyici) kapısının incelenmesi (Ön bilgi)	23
DENEY NO-5 : 4069 INVERTER (Tersleyici) kapısının doğruluk tablosunun çıkarılması	25
DENEY NO-6 : INVERTER Kullanarak AND Kapısının OR Kapısına çevrilmesi	27
DENEY NO-7 : INVERTER Kullanarak OR Kapısının AND Kapısına çevrilmesi	28
DENEY ADI : 4011 NAND (Ve Değil) kapısının incelenmesi (Ön bilgi)	29
DENEY NO-8 : 4011 NAND (Ve Değil) kapısının doğruluk tablosunun çıkarılması	30
DENEY NO-9 : 4011 NAND (Ve Değil) kapısının INVERTER olarak kullanılması	32
DENEY NO-10 : 3-Girişli NAND (Ve Değil) kapısının doğruluk tablosunun çıkarılması	33
DENEY ADI : 4001 NOR (Veya Değil) kapısının incelenmesi (Ön bilgi)	35
DENEY NO-11 : 4001 NOR (Veya Değil) kapısının doğruluk tablosunun çıkarılması	36
DENEY NO-12 : 4001 NOR (Veya Değil) kapısının INVERTER olarak kullanılması	38
DENEY NO-13 : 2 Girişli NOR (VeyaDeğil) Kapılarıyla 3 Girişli NOR Kapısı yapma	39
DENEY ADI : 4070 EXECULISIVE-OR (Özel-Veya) kapısının incelenmesi (Ön bilgi)	41
DENEY NO-14 : 4070 EXECULISIVE-OR (Özel-Veya) kapısının doğruluk tablosunun çıkarılması	42
DENEY NO-15 : NAND Kapılarıyla EX-OR Kapısı oluşturmak	44
DENEY ADI : 4077 EXECULISIVE-NOR (Özel-Veya Değil) kapısının incelenmesi	46
DENEY NO-16 : 4077 EXECULISIVE-NOR (Özel-Veya Değil) doğruluk tablosunun çıkarılması	47
DENEY ADI : 74 LS 244 THREE-STATE (Üç durumlu tampon) (Ön bilgi)	49
DENEY NO-17 : 74 LS 244 THREE-STATE (Üç durumlu tampon) 'in incelenmesi	50
DENEY ADI : RS FLIP-FLOP deneyleri (Ön bilgi)	52
DENEY NO-18 : RS FLIP-FLOP 'un NOR (Veya Değil) kapılarıyla oluşturulması	54
DENEY NO-19 : RS FLIP-FLOP 'un NAND (VeDeğil) kapılarıyla oluşturulması	56
DENEY NO-20 : Saatli RS FLIP-FLOP	58
DENEY ADI : JK Tipi FLİP FLOP'lar	60
DENEY NO-21 : J-K FLİP FLOP' un incelenmesi	61
DENEY ADI : D Tipi FLİP FLOP'lar	63
DENEY NO-22 : D FLİP FLOP' un incelenmesi	64
DENEY ADI : T Tipi FLİP FLOP'lar	65
DENEY NO-23 : T FLİP FLOP' un incelenmesi	66
DENEY ADI : 4066 (4016) Analog anahtar entegresinin incelenmesi (ön bilgi)	67
DENEY NO-24 : 4066 (4016) Analog anahtar entegresinin incelenmesi	69

DİJİTAL ELEKTRONİK SETİ TANITIMI



1. Power ON/OFF,
2. DC +5V güç kaynağı,
3. 12 BIT LOJİK LED göstergeli Anahtar gurubu,
4. PULSE Anahtar Devresi,
5. 2 Kademeli 1Hz-20KHz Osilatör,
6. 12 BIT HIGH Seviye LED İndikatör Devresi,
7. 12 BIT LOW Seviye LED İndikatör Devresi,
8. TEMEL Kapılar.

DİJİTAL ELEKTRONİK EĞİTİM SETİNDE BULUNAN DEVRELERİN KULLANILMASI

1- POWER ON-OFF ANAHTARI:

Devreye güç vermek için kullanılır. ON konumu açık, OFF konumu kapalı pozisyondur. 220V' u kontrol eder. Üzerindeki lamba bağlantısının durumunu gösterir.

2- DC +5V GÜÇ KAYNAĞI:

Harici +5Volt kullanımı içindir. Max. 1A verebilecek şekilde tasarlanmıştır. Kısa devre korumalıdır.

3- 12 BIT LOJİK LED GÖSTERGELİ ANAHTAR GURUBU:

Lojik '0' ve '1' bilgilerini elde etmek için kullanılır. 12 bitlik bilgi için 12 adet anahtar kullanılmıştır. Anahtar pozisyonları ve çıkış bilgisi için LED gösterge lamba kullanılmıştır.

4- PULSE ANAHTAR DEVRESİ:

Lojik PALS elde etmek için kullanılır. Anahtara her basışta hem pozitif PALS hem de negatif PALS elde edilebilir. İstenen çıkış terminalinden PALS' ler alınabilir

5- 2 KADEMELİ 1Hz-20KHz KARE DALGA OSİLATÖR:

555 Entegresi ile oluşturulmuş yüksek ve alçak frekans kademeli ve frekans ayarlı clock pals ünitesi. Anahtarın LOW kısmında 1Hz-1KHz, HIGH kısmında 1KHz-20KHz aralığında pals üretir.

6- 12 BIT HIGH SEVİYE LED İNDİKATÖR DEVRESİ:

Dijital devrelerden gelen binary bilgileri 12 adet LED lamba ile göstermeye yarar. Bilginin "1" durumunda LED ışık verir. "0" durumunda ışık vermez. Pozitif mantık prebsibine göre çalışır. 12 adet olduğu için 12 BIT bilgiyi gösterebilir

7- 12 BIT LOW SEVİYE LED İNDİKATÖR DEVRESİ:

Dijital devrelerden gelen binary bilgileri 12 adet LED lamba ile göstermeye yarar. Bilginin "0" durumunda LED ışık verir. "1" durumunda ışık vermez. Negatif mantık prebsibine göre çalışır. 12 adet olduğu için 12 BIT bilgiyi gösterebilir

8- TEMEL KAPILAR:

Temel kapı deneylerinin yer aldığı bölüm. Burada besleme gerilimleri verilmiş halde temel kapı devreleri ve çeşitli özel devreler bulunur.

GENEL BİLGİLER

ENTE GRE DEVRELER

Entegre devreler, bir çok sistemin bir araya gelerek bir bütün oluşturmasından meydana gelmiştir.

Entegreler; elektronik devrelerde kullanılan transistör, direnç, kondansatör ve diyot gibi devre elemanları içeren ve yonga adı verilen yarı iletken bir kristaldir. Bu elemanlar yonga içerisinde birbirlerine bağlanarak bir devre oluştururlar. Oluşan bu devrenin uygun yerlerinden dışarıya bacaklar (pinler) çıkarılır. Daha sonra yonga metal veya plastik bir kılıfla kaplanarak dış etkenlerden korunur. Böylece bir entegre devre elde edilmiş olur.

Elde edilen bu entegrenin, boyutları ve aynı ölçüde de maliyeti oldukça azalmıştır. Günümüz teknolojisinin gelişmesinde entegre devrelerin çok önemli bir yeri vardır. Entegrelerin maliyetlerinin ve boyutlarının her geçen gün küçülmesi, çalışma hızlarının çok yüksek olması endüstrideki kullanım alanını da o kadar büyütmemektedir.

Entegreler, kısaca **Integrated Circuit** kelimelerinin baş harfleri olan **IC** harfleriyle simgelenirler. IC ler genellikle standart paketlere sahip olup, dışarıya çıkarılan bacak sayıları 8 ile 400 arasında değişmektedir. Tüm entegre (IC) paketlerinin üzerinde nümerik kodlar vardır. Bu kodlar sayesinde entegrenin tipini ve içerisinde bulundurduğu devrenin özelliklerini öğrenebiliriz. Entegre devreler genel olarak iki kategoride toplanır.

Bunlar; **Lojik (mantık) entegreler ve doğrusal (lineer) entegrelerdir:**

Lineer entegreler: Genellikle gerilim yükseltme, doğrultma... vb gibi işlemlerde kullanılır. (örneğin op-amplar)

Lojik entegreler: Kapı devrelerinden oluşmuşlardır. (sayısal entegreler)

Günümüzde sayısal (1-0) devrelerde lojik entegreler kullanılmaktadır. Entegrelerin düşük maliyet ve çok az yer kaplamaları nedeniyle elektronik endüstrisinde çok geniş kullanma alanları vardır. Bu devrelerden bazıları şunlardır; Güç yükselteçleri, sayıcılar, aritmetik üniteler, gerilim düzenleyiciler, radyo ve TV devreleri, işlemsel yükselteçler ...vb. gibi birçok elektronik devrede kullanılır.

Entegreler yapılarına göre de sınıflandırılır. Dış kılıflarına göre metal, plastik ve seramik olmak üzere üç gruba ayrılır. Ancak seramik gövdeli entegreler kırılabilir ve pahalı olmaları nedeniyle günümüzde kullanılmazlar.

Entegreler bozuldukları zaman genellikle tamirleri yoluna gidilmez. Bozulan entegre atılarak yerine yenisini monte edilir. Bu tip işlemlerin daha pratik yapılabilmesi için standart soketler üretilmiştir. Bazı devrelerde entegreler, soketlerin üzerlerine monte edilir. Böylece entegrenin sökülmesi veya montajı çok daha pratik olur.

Lojik entegreler bünyelerinde buldukları kapı sayısına göre de sınıflandırılırlar.

Bunlar;

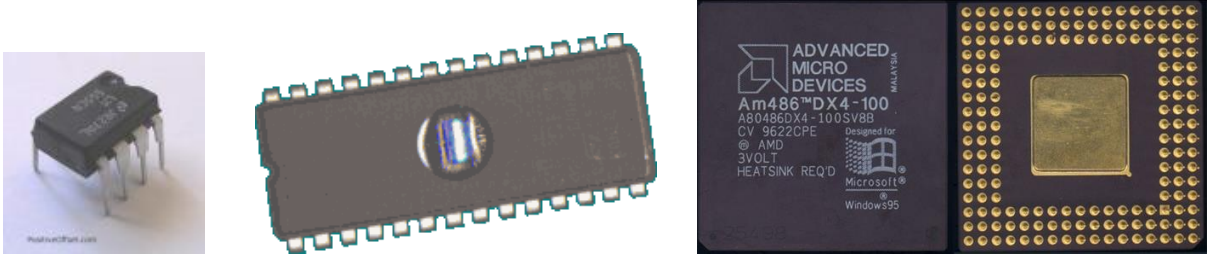
SSI (Küçük Ölçekli Entegre) : Bünyesinde 1 ile 20 arasında lojik kapı bulundurur. Örneğin, 7400 modeli entegre içerisinde 4 adet nand kapısı bulundurur"

MSI (Orta Ölçekli Entegre) : Bünyesinde 20 ile 100 arasında lojik kapı bulundurur. Örneğin, flip-floplar, sayıcılar.

LSI (Büyük Ölçekli Entegre) : Bünyesinde 100 ile 10000 arasında lojik kapı bulundurur. Örneğin 4 ve 8 bitlik mikro işlemciler.

VLSI (Çok Büyük Ölçekli Entegre) : Bünyesinde 10000 den fazla lojik kapı bulundurlar. Örneğin, 16-32 bitlik mikroişlemciler, hafıza devreleri, bilgisayar devreleri.

Günümüzde bünyesinde 200 bin den fazla lojik kapı bulunduran entegre yongaları yapılabilmektedir. Her lojik kapının içerisinde en az 2 adet transistör bulunur. Bu durumda bir lojik entegre içerisinde yüz binlerce transistör oluşturulabileceğini söyleyebiliriz. Örneğin Pentium mikroişlemcisi bünyesinde 5,5 milyon adet transistör bulundurur. Aşağıda çeşitli tiplerdeki entegrelerin resimleri görülmektedir.



Şekil.1

Entegre Devre Parametreleri

Dijital entegre devre gruplarını birbirleri ile kıyaslamak ve belirli uygulama için en uygun grubu seçmek için bazı önemli özellikler vardır.

Bunlar entegre parametreleri olarak adlandırılır. Bu parametrelerin en önemlileri;

1. Besleme voltajı (power supply voltage):

Entegrenin besleme gerilimini belirler. Bazı entegrelerde besleme voltajının toleransı da belirtilebilir.

2. Yayılım gecikmesi (propagation delay):

Bir lojik devrenin girişine verilen bilgiye göre çıkışın değişim hızını nano saniye cinsinden gösterir. Bir mantık kapısı kendi girişinde meydana gelen değişikliğe anında cevap vermez yani bir zaman gecikmesi olur. Bu gecikmeye yayılma gecikmesi denir. TTL için 5nsn dir. PLC,bilgisayar v.b. yerlerde yayılım hızı maksimum olan devreler tercih edilir.

3. Güç harcaması (Power dissipation):

Devrenin harcadığı güç miktarını gösterir. Harcanan güç mili watt cinsinden olur. Devrenin çalışma hızıyla doğru orantılı olarak değişir. (Pilli devrelerde minimum güç harcayan IC 'ler tercih edilir.)

4. Çıkış kapasitesi (Fan out):

Devrenin çıkışına bağlanacak maksimum yük miktarını belirler. Çıkış kapasitesinin değeri lojik kapının çıkışına bağlanacak kapı adedini belirler.

5. Gürültü miktarı (Noise immunity):

Gürültü miktarı devrenin çıkışındaki bilgilerin hata oranını belirler. Yani çıkışta 1 değerli sinyal 0 değerli sinyal gibi veya bunun tersi gibi görünmesi durumu. Gürültü miktarı (milivolt cinsinden) ne kadar az olursa çıkış bilgileri de o kadar hatasız olur. Kapının gürültüyü bastırabilme kabiliyetine, o kapının gürültü başlığı denir.

6. Pals frekansı (Clock frequency):

Digital devrenin girişine uygulanacak tetikleme palsinin MHz cinsinden frekansını belirler.

Her bir entegredeki temel devre NAND veya NOR kapısıdır. Lojik entegre adını kapı devrelerinin yapımında kullanılan elektronik malzemedan alır. Günümüzde kullanılan bazı entegre tipleri şunlardır ;

1. RTL - (Resistör - Transistör Lojik) Direnç- Transistör mantığı
2. DTL - Diod Transistör mantığı
3. RTL -(High - Threshold Lojik) Yüksek seviye mantığı
4. TIL -Transistör - Transistör mantığı
5. ECL - Emiter - Kuplaj mantığı
6. DCTL - Direkt - Kuplaj Transistör mantığı
7. MOS - Metal- Oksit yarı iletken mantığı
8. CMOS - Tümler - Metal yarı İletken

Tümleşik Devrelerin Lojik Aile Tipleri:

Direnç transistör lojik(RTL): RTL tipi entegreler ilk imal edilen ticari tip entegrelerdir. Entegre devrelerinin başlangıcında ucuz olmaları nedeniyle çok kullanılan bir yöntemdir. RTL tipi entegrelerin çalışma gerilimi 3V ile 3.6V arasındadır. Yayılım gecikmesi yaklaşık 12nsn , güç harcamaları kapı başına 10mwatt' dır. 700 ve 900 lü sayılarla kodlanmışlardır.

Diyot transistör lojik (DTL): Mahsurlarından dolayı entegre içerisinde diyot transistör mantığının kullanışı sınırlıdır. Diyotlarda az da olsa bir iç gerilim düşümü vardır. Ve bu lojik seviyede bir düşüşe neden olur. Aynı anda devrede bir negatifleme olayı da gerçekleşmez.

Bu mahsurları ortadan kaldırmak için bir negatifleyici amplifikatör kullanılır. Negatifleme sağlandığı gibi gerilim düşümleri telafi edilerek lojik seviyeyi belli bir tolerans içinde tutar. Yavaş yavaş ortadan kalkan entegrelerdir. Bu tip entegreler hız, güç ve kararlılık bakımından RTL tipi entegrelerden daha iyidir.

DTL tipi entegrelerin çalışma gerilimleri 5V civarındadır. Gürültü bağışıklığı düşüktür. 830' lu ve 930' lu rakamlarla kodlanmıştır.

Transistör Transistör Lojik (TTL):

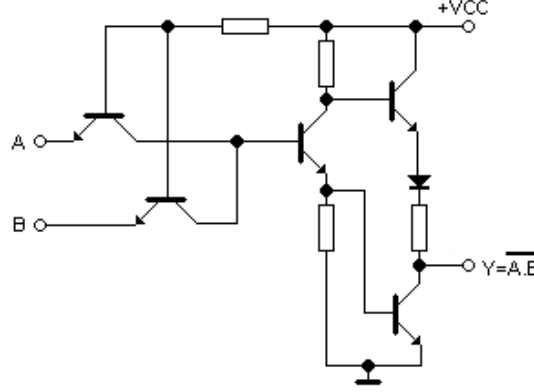
TTL entegreler DTL tipi entegrelerin gelişmiş şeklidir. DDL entegrelerdeki giriş diyotlarının yerini çok emetörlü bir giriş transistörü almıştır. Bundan dolayı TTL entegreler çok süratli çalışırlar ve hızlarının yüksek olması nedeniyle çok yaygın olarak kullanılır. Günümüzde en yaygın olarak kullanılan entegre grubudur. Kullanım yerleri arasında bilgisayarlar yer alır.

TTL entegreler 5 alt gruba ayrılır:

1. **Standart TTL:** TTL grubunun ilk çeşitidir. Kapı başına güç harcaması 10mw, yayılım gecikmesi 10 nsn, yayılım hızı ise 35 MHz'dir.
2. **Düşük Güçlü TTL:** Kapı başına güç harcaması 1mw, yayılım gecikmesi 33 nsn, yayılım hızı ise 3MHz'dir.
3. **Yüksek Hızlı TTL:** Kapı başına güç harcaması 22mw, yayılım gecikmesi 6 nsn, yayılım hızı ise 50MHz'dir.
4. **Şotki TTL(STTL):** TTL grubunun en hızlı çalışanıdır. Kapı başına güç harcaması 19mw, yayılım gecikmesi 3 nsn, yayılım hızı ise 125MHz'dir.

5. Düşük güçlü şotki TTL (LSTTL):

TTL grubunun en son geliştirilenidir. Kapı başına güç harcaması 2mw , yayılım gecikmesi 20nsn , yayılım hızı ise 35MHz'dir.

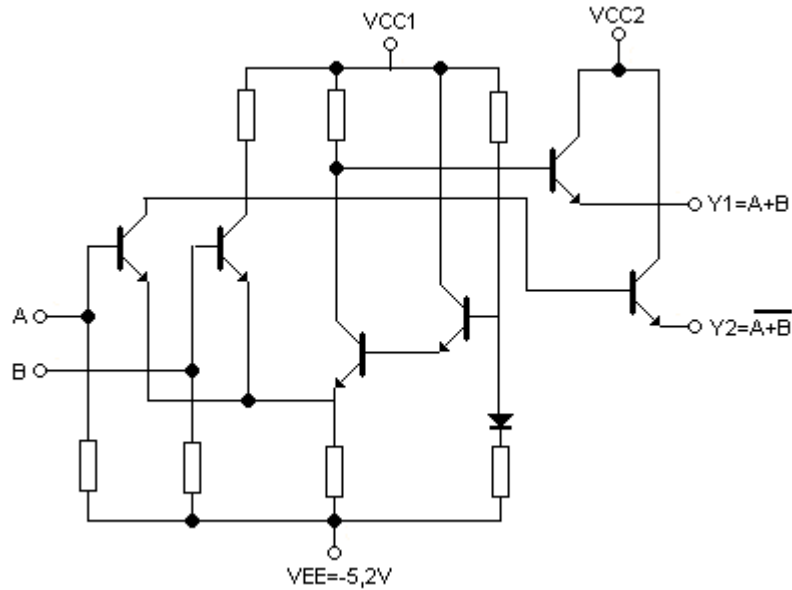


Şekil.2

TTL grubu 7400 ve 5400' lü sayılarla kodlanır. Çok kullanılanı 7400 lü entegrelerdir. 5400 serisi askeri amaçlıdır. 7400 serisi 0°C-70°C arasında çalışan entegre gruplarını gösterir. 5400 serisi ise -55°C - +125°C arasında çalışır. Bir TTL entegrenin hangi alt gruptan olduğunu 74 ve 54 sayılarından sonra gelen harfler belirtir. Örneğin **74L00**düşük güçlü TTL grubundan veya **7400** standart TTL gibi...

Emitör Kuplajlı Lojik (ECL):

ECL ailesi TTL ailesi kadar yaygın değildir. En yüksek hıza sahip entegrelerdir. 1962 yılında Motorola firması tarafından yapımına başlanmıştır. TTL' e göre daha pahalıdır ve daha zor soğutulur. Ara bağlantılar yapmak zordur ve gürültü bağışıklığının daha az olduğu iddia edilir. Bir çok uygulamada da ECL kapısı gerektiğinden daha hızlı olabilir. Diğer yandan süper hızlı bilgisayarlar ve çok hızlı özel amaçlı bilgisayarlar ECL kullanır. ECL entegreleri günümüze kadar sürekli gelişmiştir.



Şekil.3

4 ana ECL alt grubu vardır.

1- MECL 1 Grubu: Kapı başına yayılım gecikmesi 8ns , yayılım hızı 30MHz ve kapı başına güç harcaması 35mW' dir. 300 ve 350' li sayılarla kodlanmışlardır.

2- MECL 2 Grubu: MCL 1' in geliştirilmişidir. Kapı başına yayılım gecikmesi 4ns, yayılım hızı 75MHz ve kapı başına güç harcaması 22mW' dir. 1000 ve 1200 lü sayılarla kodlanmışlardır.

3- MECL 10K Grubu: ECL alt grubunun en yaygın olarak kullanılanıdır. Kapı başına yayılım gecikmesi 2ns , yayılım hızı 125MHz ve kapı başına güç harcaması 25mW' dir. 10000' li sayılarla kodlanmışlardır.

4- MECL 3 Grubu: ECL alt grubunun içinde en hızlı olanıdır. Kapı başına yayılım gecikmesi 1ns , yayılım hızı 400MHz ve kapı başına güç harcaması 60mW' dir. 1600'lü sayılarla kodlanmışlardır.

ECL lojik kapıları için **lojik 1 seviyesi -0.75V** ve **lojik 0 seviyesi -1.55 V'** dur.

Metal-Oksit Yarıiletken Lojik (MOS): Alan etkili transistör (FET) tekniğinin geliştirilmesi ile MOS türü entegrelerin imaline başlanmıştır. Bu entegrelerdeki transistörler MOSFET olarak isimlendirilirler.

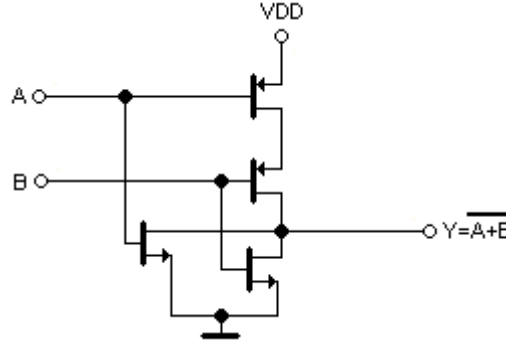
Yavaş olmaları çabuk bozulmaları ve sürücü güçlerinin az olmaları nedeniyle bazı uygulamalar için tercih edilmemekle birlikte yapım kolaylığı , boyutlarının küçük olması ve az güç harcamaları nedeniyle pek çok uygulamada kullanılır.

MOS entegrelerin çalışma gerilimleri 3V ile 15V arasındadır. Diğer özellikleri ile CMOS entegrelere benzerler. Bu entegrelerde statik deşarjlara karşı dikkatli olunmalı ve çalışırken;

- Çıplak el ile entegre ayaklarına dokunulmamalı,
- Lehimlerde topraklı veya DC havya kullanılmalı,
- Kullanılmayan entegre ayakları boşta bırakılmamalı , +V' ye veya şaseye bağlanmalıdır.

Tamamlayıcı Metal -Oksit Yarıiletken Lojik (CMOS):

Öncelikle uzay ve deniz uygulamalarında kullanılmak üzere tasarlanmış bir dizi MOSFET devresi geliştirilmiştir. Ve bu devreler tümleyen MOS (CMOS) olarak adlandırılırlar. CMOS entegreler FET MOSFET mantığına göre oluşturulmuşlardır. TTL'lerin daha geliştirilmiş şekilleridir. Bu devreler çok az güç harcar ve gürültüden çok etkilenmez. Yüksek hızlı mantık devreleri ile karşılaştırıldığında CMOS devrelerin daha yavaş olduğu görülür. Ama çok sayıda transistörden oluşan devreler bir tek yonga üzerine yerleştirilebilirler ve kullanılacak güç kaynağı büyükçe bir aralıkta seçilebilir. Böyle tümleşik devrelerin fabrikasyonu diğerlerine göre daha ekonomik olabilmektedir. En son geliştirilen CMOS devreleri daha önceki kuşaklara göre daha hızlıdır ve yaygın olarak elektronik kol saatlerinden hesap makinalarına ve mikroişlemciler kadar her yerde kullanılır. CMOS entegreler 40 XX serisinden meydana gelirler. Besleme gerilimleri 3-18V' tur. Yayılım gecikmeleri oldukça fazladır, maksimum gerilim beslemesinde 5MHz civarındadır. Yani yüksek frekanslarda çalışması uygun değildir.



Şekil..4

Entegreli İnjeksiyon Lojik (IIL):

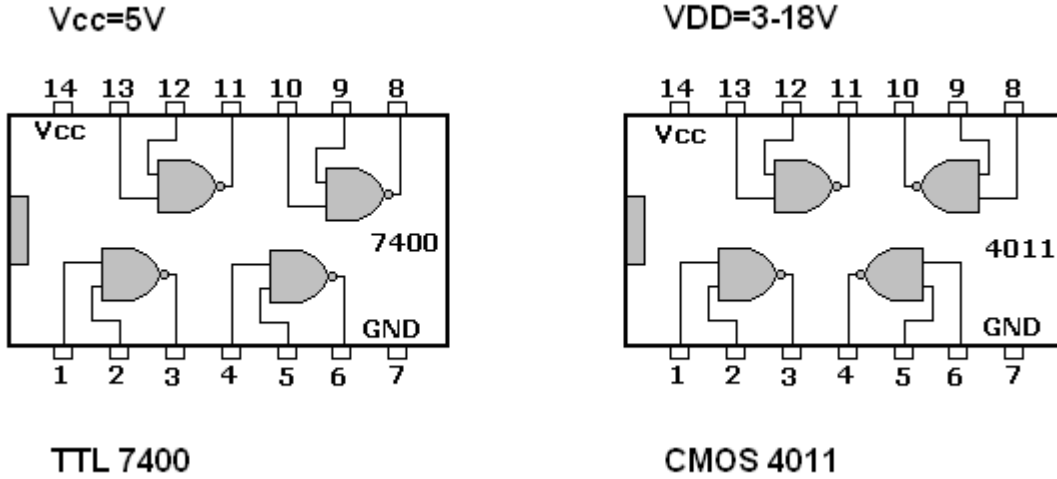
IIL lojik kapılarının tek girişi ve çok çıkışının olması, tasarımda farklı bir yol izlenmesini gerektirir. Bu teknolojinin avantajları tasarım sorunlarına ağır basmaktadır. Ve IIL bellekler ve mikroişlemciler piyasada bulunmaktadır. Son yıllarda IIL teknolojisi CMOS teknolojisindeki gelişmeler yanında sönük kalmış ve popülerliğini yitirmiştir. IIL lojik kapıları bazı farklılıklar dışında RTL lojik kapıları ile benzer çalışma özellikleri gösterirler. özellikleri gösterirler. Yapılarında direnç kullanılmaması bir chip üzerine daha çok devre yerleştirilmesine imkan sağlamış ve maliyete büyük ucuzluk getirmiştir

Çıkış kapasitesi:

Bu değer TTL için 10 'dur. Yani bir adet TTL çıkışından 10 adet başka bir TTL devresi girişi beslenebilir. Çıkış empedansı yüksekolan CMOS da bu adet 50 dir.

Kullanılmayan uçlar :

TTL ve CMOS entegrelerinin kullanılmayan uçları kesinlikle boşa bırakılmamalıdır. Uygulamada kullanılmayan uçlar kaynağın (+) veya (-) ucuna bağlanır. Aksi durumda entegrelerin çıkışlarında istenmeyen durumlar ortaya çıkar. Aşağıda Şekil 'de aynı özelliklere sahip TTL ve CMOS entegreleri iç bağlantıları ve özellik karşılaştırması ile birlikte görülmektedir.



Şekil.5

ÖZELLİKLERİ	TTL	CMOS
Besleme voltajı	5V DC	3 V -18 V DC
Gerekli akım	Miliamper	Mikroamper
Giriş empedansı	Düşük	Çok yüksek
Anahtarlama hızı	Hızlı	Yavaş
Çıkış kapasitesi	10	50
Güç harcaması	20mW	2mW
Tetikleme palsi	50MHz	25MHz
Besleme toleransı	%20	%50

Tablo.1

DENEY ADI : AND (VE) KAPISININ İNCELENMESİ

DENEY AMAÇLARI:

A- Sayısal mantık AND kapısını tanımak ve bunun mantık işlevini doğrulamak,
B- Birden fazla 2 girişli AND kapısı kullanarak 3 ve 4 girişli AND kapıları oluşturmak.

ÖN BİLGİ :

1* Bir mantık işleminde H (HIGH) durumu "1" sayısı ile simgelenir. L (LOW) seviyesi ise "0" sayısı ile simgelenir.

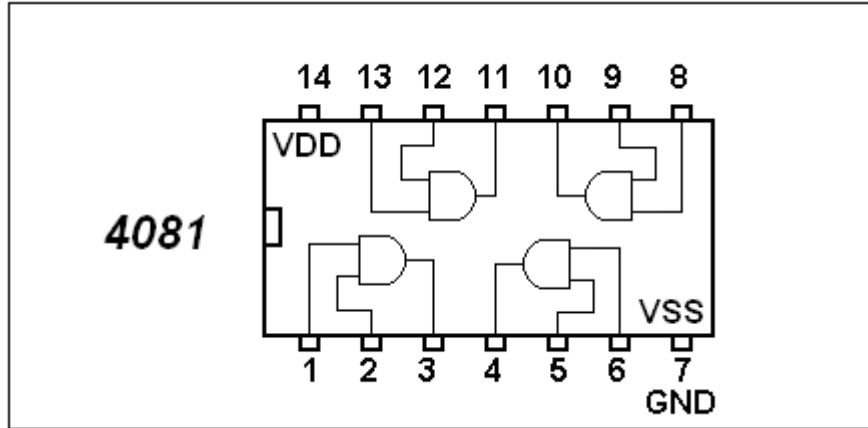
2* TTL Entegrelerinde H (1) durumunun gerilim karşılığı 2,4 V ile 5 V arasındadır. L (0) durumunun gerilim karşılığı 0 V ile 0,4 V arasındadır.

3* CMOS Entegrelerinde H (1) durumunun gerilim karşılığı yaklaşık kaynak değeridir.L (0) durumunun gerilim karşılığı 0V ile 0,5 V arasındadır.

4* AND kapısı çarpım kapısıdır. En az iki girişi vardır. Girişlerden en az birinin "0" olması ile kapı çıkışı "0" olur. Sadece bütün girişlerin "1" olması durumunda çıkış "1" olur.

5* Çıkış $\zeta = A \cdot B$ dir.

6* 4081 Entegresi içinde 4 adet AND kapısı bulunmaktadır.

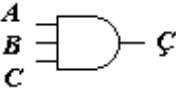


Şekil 1.1

	GİRİŞLER		ÇIKIŞ
	A	B	$\zeta = A \cdot B$
	0	0	0
	0	1	0
	1	0	0
	1	1	1

Şekil. 1.2

Tablo. 1.1

	GİRİŞLER			ÇIKIŞ
	A	B	C	$\text{Ç} = A.B.C$
	0	0	0	0
	0	1	0	0
	1	0	0	0
	1	1	0	0
	0	0	1	0
	0	1	1	0
	1	0	1	0
	1	1	1	1

Şekil.1.3

Tablo.1.2

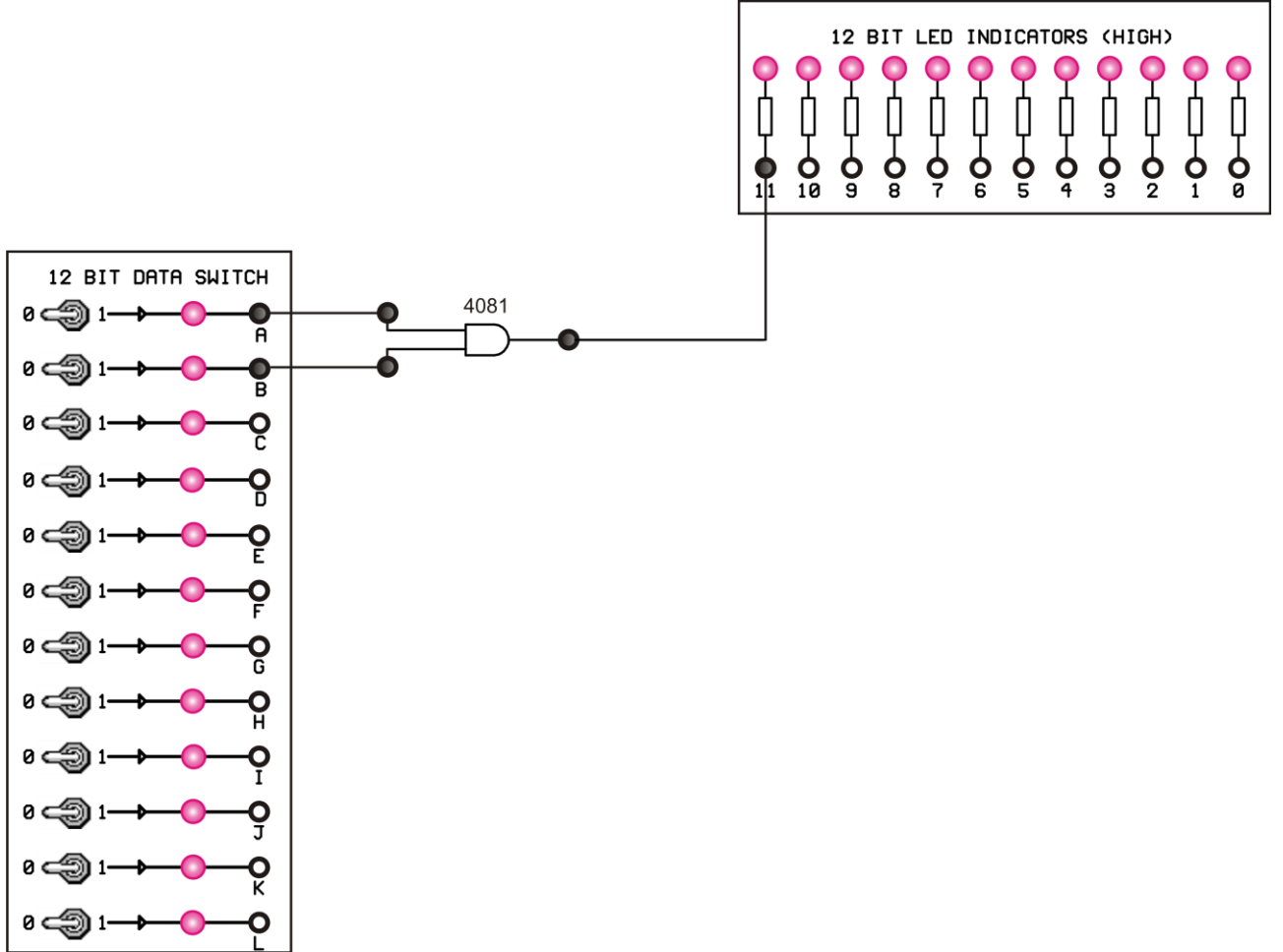
DENEY NO : 1

DENEY ADI : AND (VE) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI

Deneyde Kullanılan Set ve Ölçü Aletleri:

1- Y-0020-01 Deney Seti

2-Dijital Voltmetre



Şekil.1.4

GİRİŞLER		ÇIKIŞ
A	B	$\text{Ç}=\text{A.B}$
0	0	
0	1	
1	0	
1	1	

Tablo 1.3

Deneyin Yapılışı :

- 1- Devreyi Şekil 1.4 'deki gibi kurarak gücü uygulayınız.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- AND kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 1.3 'e işleyiniz.
- 4- Aynı çıkışı Voltmetre ile ölçüp mantık düzeyinin kaç volt'a karşılık geldiğini bulunuz.
- 5- 3. ve 4. maddelerdeki işlemleri , Tablo 1.3 'deki bütün giriş değerleri için yaparak çıkış durumlarını tabloya kaydediniz.
- 6- Çıkış ne zaman mantık "1" dir?

- 7- "1" mantık düzeyini ölçtüğümüzde kapı çıkışının +5 V olup olmadığını belirleyiniz. Değilse nedenini açıklayınız.

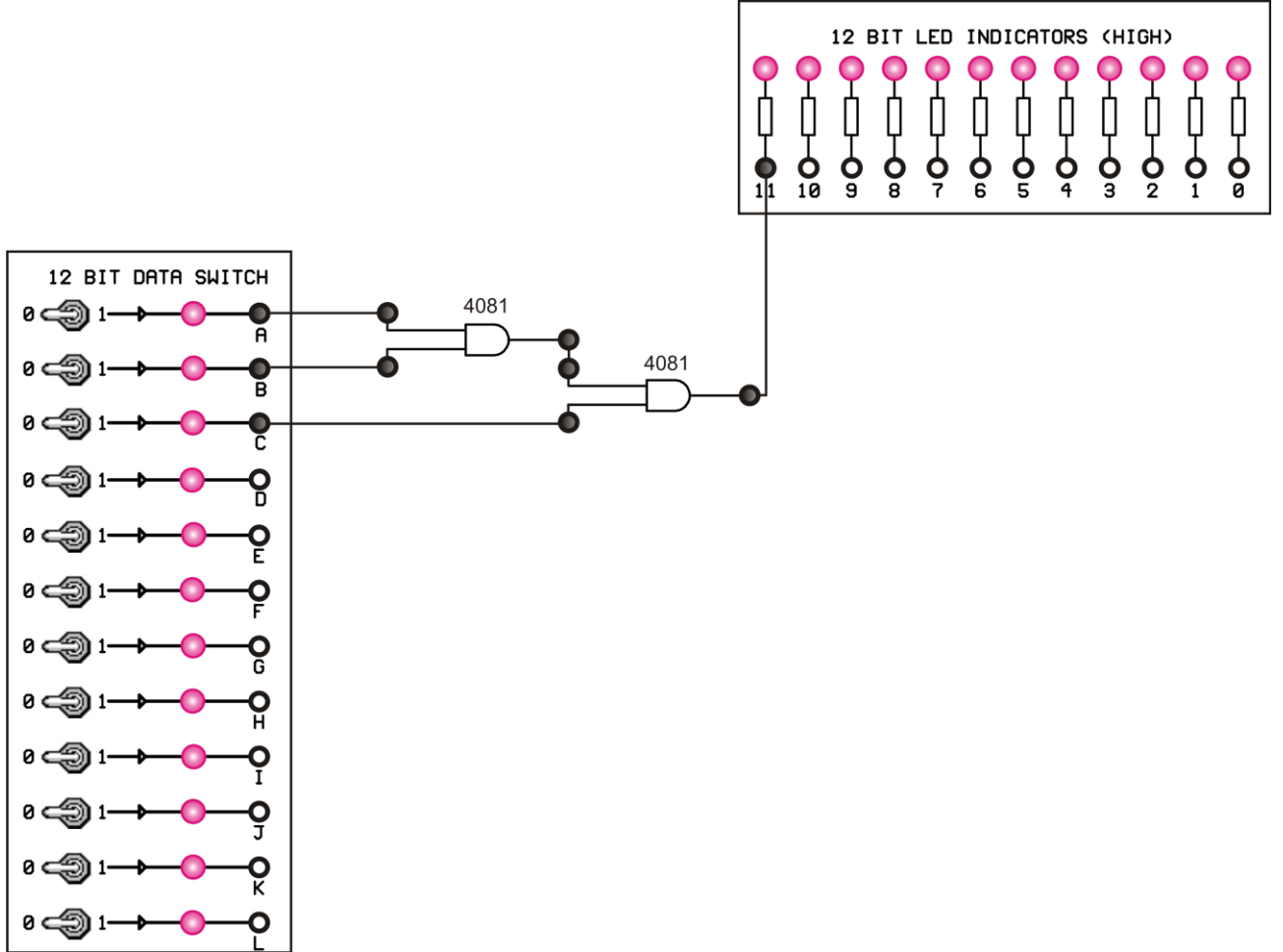
- 8- Tablo 1.3 'deki sonuçlara göre AND kapısının doğruluk tablosu elde edilmiş midir?

DENEY NO : 2

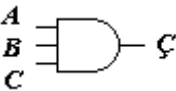
**DENEY ADI : 3 GİRİŞLİ AND (VE) KAPISI DOĞRULUK
TABLOSUNUN ÇIKARILMASI**

Deneyde Kullanılan Set ve Ölçü Aletleri:

- 1- Y-0020-01 Deney Seti
- 2- Dijital Voltmetre,



Şekil 2.1

	GİRİŞLER			ÇIKIŞ
	A	B	C	$\text{Ç}=\text{A.B.C}$
	0	0	0	
	0	1	0	
	1	0	0	
	1	1	0	
	0	0	1	
	0	1	1	
	1	0	1	
	1	1	1	

Tablo 2.1

Deneyin Yapılışı :

- 1- Devreyi Şekil 2.1 'deki gibi kurarak gücü uygulayınız.
- 2- Her üç girişi "0" durumuna getiriniz.
- 3- 3 Girişli AND kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 2.1 'e işleyiniz.
- 4- Aynı çıkışı Voltmetre ile ölçüp mantık düzeyinin kaç volt'a karşılık geldiğini bulunuz.

- 5- 3. ve 4. maddelerdeki işlemleri Tablo 2.1 'deki bütün giriş değerleri için yaparak çıkışları Tablo 2.1 'e kaydediniz.

- 6- Çıkış ne zaman mantık "1" dir?

- 7- Tablo 2.1 'deki sonuçlara göre 3 girişli AND kapısının doğruluk tablosu elde edilmiş midir?

- 8- 4 Girişli AND kapısı oluşturunuz.

DENEY ADI : OR (VEYA) KAPISININ İNCELENMESİ

DENEY AMAÇLARI:

A- Sayısal mantık OR kapısını tanımak ve bunun mantık işlevini doğrulamak.

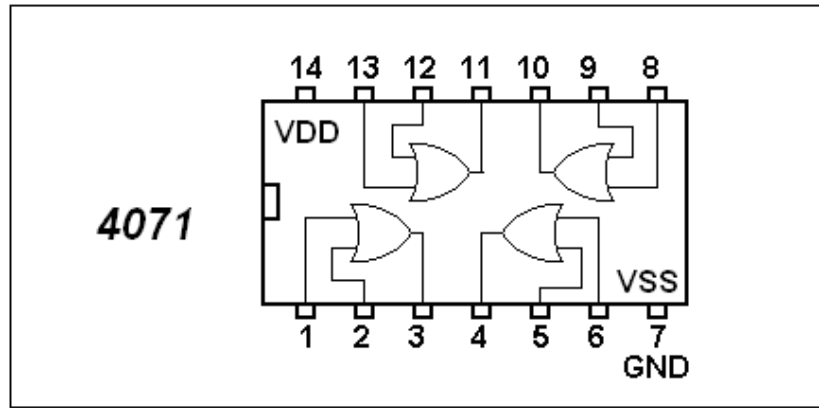
B- Birden fazla 2 girişli OR kapısı kullanarak 3 ve 4 girişli OR kapıları oluşturmak.

ÖN BİLGİ :

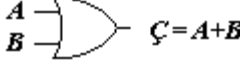
1* OR kapısı toplam kapısıdır. En az iki girişi vardır. Girişlerden en az birinin "1" olması ile kapı çıkışı "1" olur. Sadece bütün girişlerin "0" olması ile çıkış "0" olur.

2* Çıkış $\text{Ç} = A+B$ 'dir. Üç girişli OR kapısı için çıkış $\text{Ç} = A+B+C$ ' dir.

3* 74LS32 Entegresi içinde 4 adet OR kapısı bulunmaktadır.

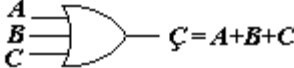


Şekil.1

	GİRİŞLER		ÇIKIŞ
	A	B	$\text{Ç} = A+B$
	0	0	0
	0	1	1
	1	0	1
	1	1	1

Şekil.2

Tablo.1

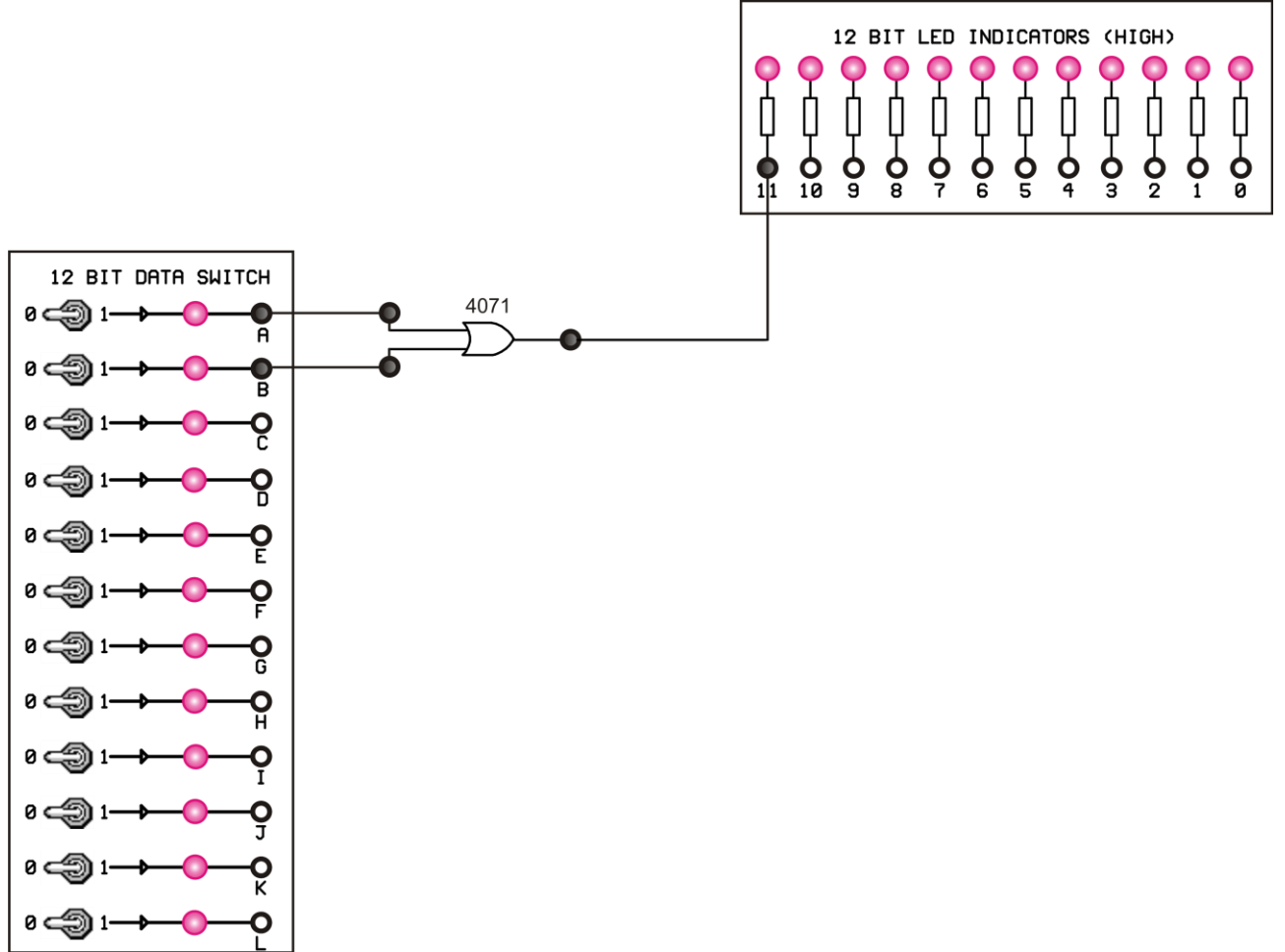
	GİRİŞLER			ÇIKIŞ
	A	B	C	$\text{Ç} = A+B+C$
	0	0	0	0
	0	1	0	1
	1	0	0	1
	1	1	0	1
	0	0	1	1
	0	1	1	1
	1	0	1	1
	1	1	1	1

Şekil.3

Tablo.2

DENEY NO : 3**DENEY ADI : OR (VEYA) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI****Deneyde Kullanılan Set ve Ölçü Aleti:**

- 1- Y-0020/01 Deney Seti
- 2- Dijital Voltmetre,



Şekil 3.1

GİRİŞLER		ÇIKIŞ
A	B	$\text{Ç} = \text{A} + \text{B}$
0	0	
0	1	
1	0	
1	1	

Tablo 3.1

Deneyin Yapılışı

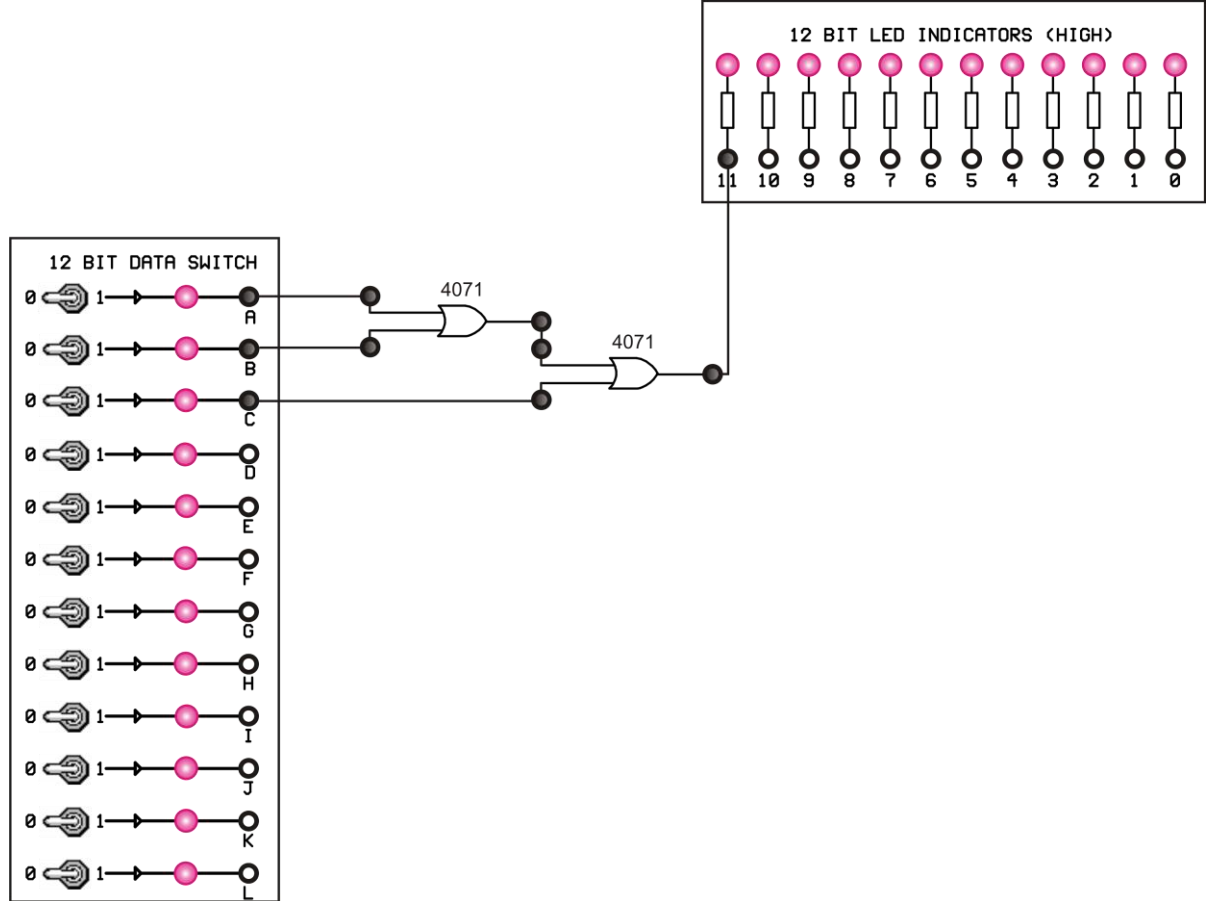
- 1- Devreyi Şekil 3.1 'deki gibi kurarak gücü uygulayınız.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- OR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 3.1'e işleyiniz.
- 4- Aynı çıkışı Voltmetre ile ölçüp mantık düzeyinin kaç volt'a karşılık geldiğini bulunuz.
- 5- 3. ve 4. maddelerdeki işlemleri Tablo 3.1 'deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 6- Çıkış ne zaman mantık "1" dir?

- 7- "1" mantık düzeyini ölçtüğümüzde kapı çıkışının +5 V olup olmadığını belirleyiniz. Değilse nedenini açıklayınız.

- 8- Tablo 3.1 'deki sonuçlara göre VEYA kapısının gerçeklik tablosu elde edilmiş midir?

DENEY NO : 4**DENEY ADI : ÜÇ GİRİŞLİ OR (VEYA) KAPISI DOĞRULUK TABLOSUNUN ÇIKARILMASI****Deneyde Kullanılan Set :**

- 1- Y-0020-01 Deney Seti
- 2- Dijital Voltmetre,



Şekil 4.1

GİRİŞLER			ÇIKIŞ
A	B	C	$\text{Ç} = \text{A} + \text{B} + \text{C}$
0	0	0	
0	1	0	
1	0	0	
1	1	0	
0	0	1	
0	1	1	
1	0	1	
1	1	1	

Tablo 4.1

Deneyin Yapılışı :

- 1- Devreyi Şekil 4.1 'deki gibi kurarak gücü uygulayınız.
- 2- Her üç girişi "0" durumuna getiriniz.
- 3- 3 Girişli OR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 4.1 'e işleyiniz.
- 4- Aynı çıkışı Voltmetre ile ölçüp mantık düzeyinin kaç volt'a olduğunu bulunuz.
- 5- 3. ve 4. maddelerdeki işlemleri Tablo 4.1 'deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 6- Çıkış ne zaman mantık "1" dir?

- 7- Tablo 4.1 'deki sonuçlara göre 3 girişli OR kapısının gerçeklik tablosu elde edilmiş midir?

DENEY ADI : INVERTER (TERSLEYİCİ) KAPISININ İNCELENMESİ

DENEY AMAÇLARI :

- A- Inverter kapısını tanımak ve bunun mantık işlevini doğrulamak,
- B- Gerçeklik tablosunu elde etmek .
- C- 74 LS 04 INVERTER entegresini tanımak.
- D- Tersleyici kullanarak AND ve OR kapılarının birbirine çevrilmesini öğrenmek.

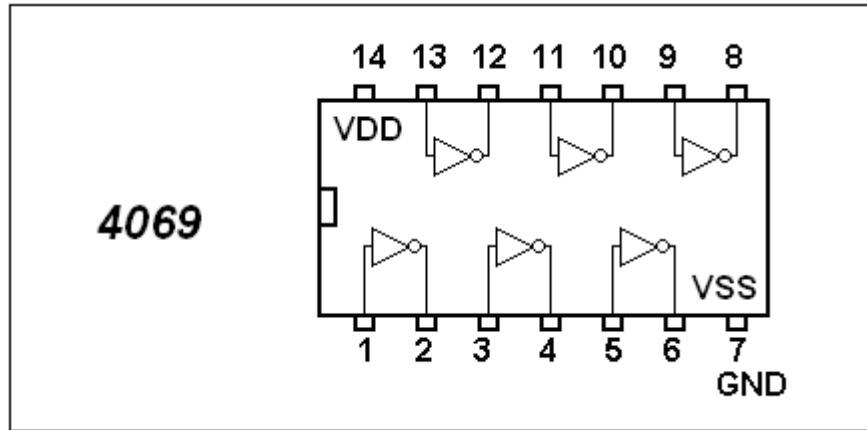
ÖN BİLGİ :

1* Inverter, girişine verilen bir mantık seviyesini tersler (giriş=1 ise çıkış=0 veya giriş=0 ise çıkış=1).

2* Sembol olarak bu durum, kapının giriş veya çıkışındaki küçük bir daire ile belirtilir.

3* Giriş veya çıkış değişkenini belirten harfin üzerine kısa bir çizgi konularak terslenmiş mantık durumu belirtilir.

4* Bu durum kısaca DEĞİL olarak adlandırılır.



Şekil :5.1

GİRİŞ	ÇIKIŞ	GİRİŞ	ÇIKIŞ	GİRİŞ	ÇIKIŞ
A	\bar{A}	A	\bar{A}	0	1
				1	0

Şekil :5.2

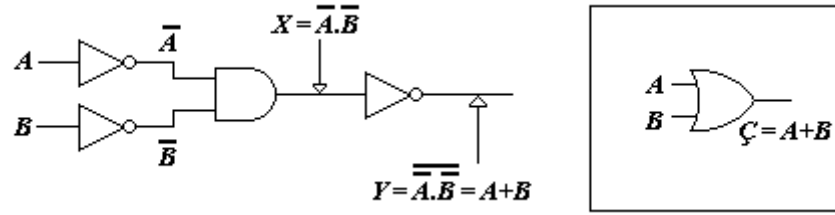
Tablo :5.1

Inverter Yardımıyla AND Kapısını OR Kapısına Çevirme :

Demorgan kuralına göre , çarpım ifadesini toplam ifadesi haline getirmek için

- a-) Giriş değişkenleri terslenir.
- b-) Çarpma , toplama şeklinde değiştirilir.
- c) İşlemin tamamı terslenir.

Şekil 5.3 'de bağlantı şekli ve Tablo 5.2 'de bu bağlantının doğruluk tablosu verilmiştir.



Şekil 5.3

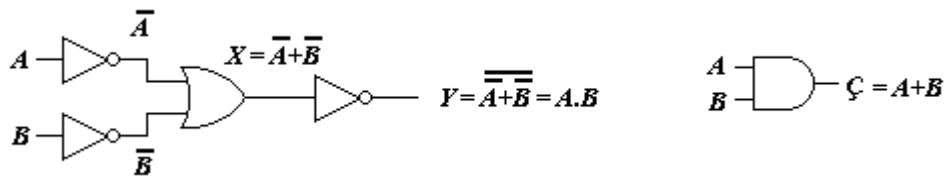
GİRİŞ				ÇIKIŞ	
NORMAL		TERSİ		$X=A'.B'$	$(X=A'.B')'$
A	B	A'	B'		$Y=A+B$
0	0	1	1	1	0
0	1	1	0	0	1
1	0	0	1	0	1
1	1	0	0	0	1

Tablo 5.2

Inverter Yardımıyla OR Kapısının AND Kapısına Çevirme:

Demorgan kuralına göre , toplam ifadesini çarpım ifadesi haline getirmek için

- Giriş değişkenleri terslenir.
- Toplama , çarpma şeklinde değiştirilir.
- İşlemin tamamı terslenir.



Şekil 5.4

GİRİŞ				ÇIKIŞ	
NORMAL		TERSİ		$X=A'+B'$	$(X=A'+B')'$
A	B	A'	B'		$Y=A.B$
0	0	1	1	1	0
0	1	1	0	1	0
1	0	0	1	1	0
1	1	0	0	0	1

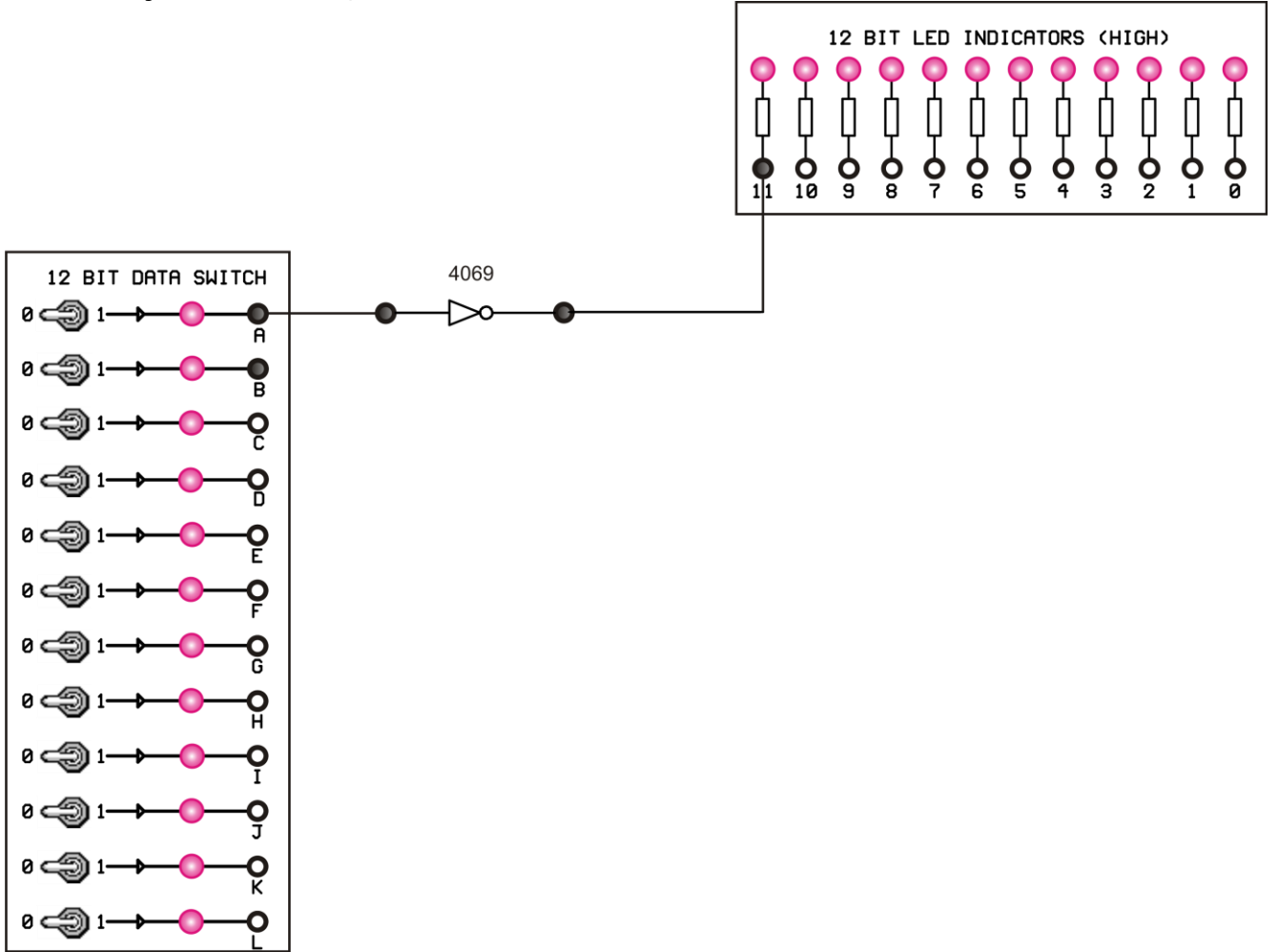
Tablo 5.3

DENEY NO : 5

**DENEY ADI :INVERTER (TERSLEYİCİ) KAPISI DOĞRULUK
TABLOSUNUN ÇIKARILMASI**

Deneyde Kullanılan Set ve Ölçü Aletleri:

- 1- Y-0020/01 Deney Seti
- 2- Dijital Voltmetre,



Şekil 5.1.1

GİRİŞ	ÇIKIŞ
0	
1	

Tablo 5.1.1

Deneyin Yapılışı:

- 1- Devreyi Şekil 5.1.1 ' deki gibi kurarak gücü uygulayınız.
- 2- Girişi "0" durumuna getiriniz.
- 3- INVERTER kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1"mi, "0"mi olduğunu Tablo 5.1.1 ' e işleyiniz.
- 4- Aynı çıkışı Voltmetre ile ölçüp mantık düzeyinin kaç volt'a karşılık geldiğini bulunuz.
- 5- Girişi "1" durumuna getiriniz.
- 6- INVERTER kapısının çıkışındaki mantık düzeyini belirleyip "1" mi, "0" mı olduğunu tablo 5.1.1 ' e işleyiniz.
- 7- Çıkış ne zaman mantık "1" dir?

- 8- Çıkış ne zaman mantık "0" dır?

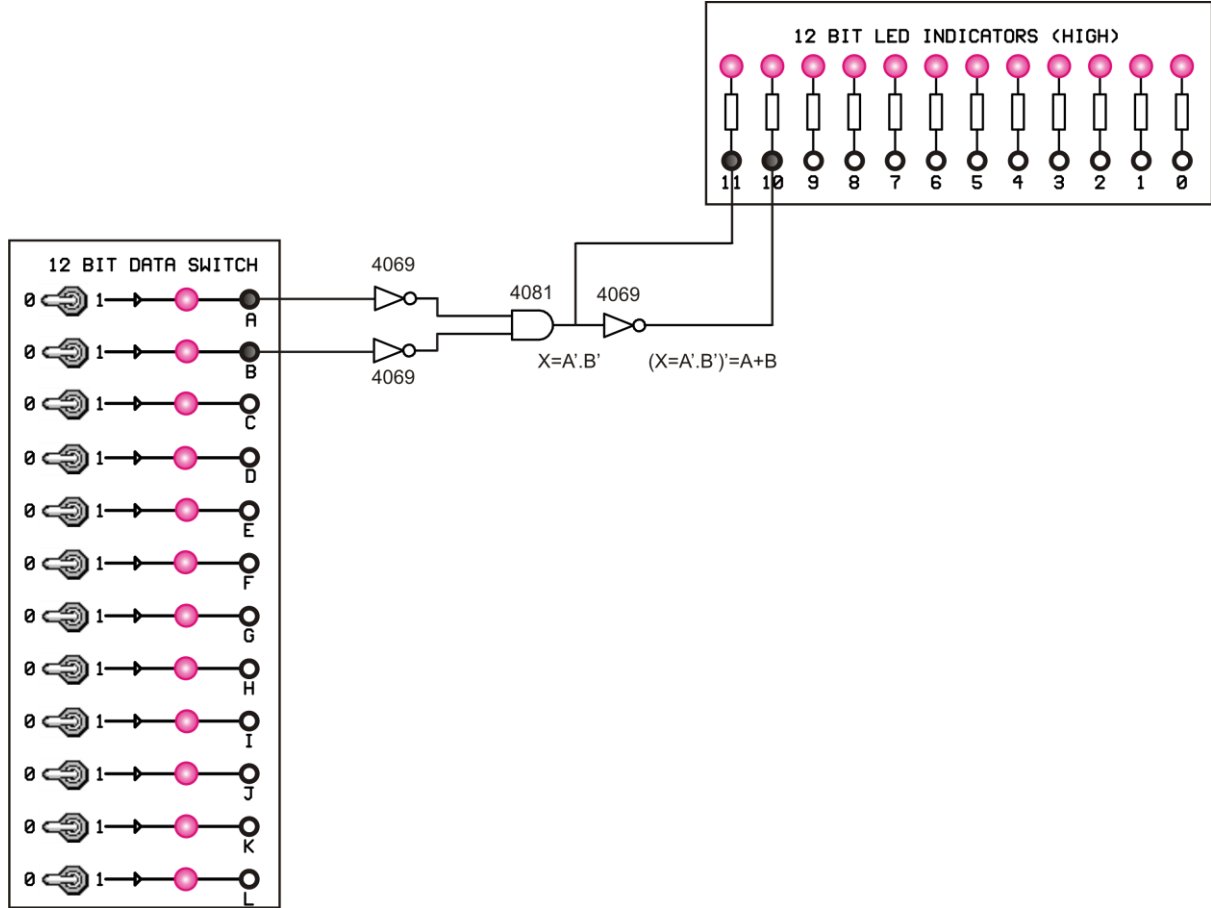
- 9-Tablo 5.1.1 'deki sonuçlara göre INVERTER kapısının doğruluk tablosu elde edilmiş midir?

DENEY NO : 6

**DENEY ADI : INVERTER KULLANARAK AND KAPISININ OR KAPISINA
ÇEVİRİLMESİ**

Deneyde Kullanılan Deney Seti:

1- Y-0020-01 Deney Seti



Şekil 6.1

GİRİŞ				ÇIKIŞ	
NORMAL		TERSİ		X=A'.B'	(X=A'.B')'
A	B	A'	B'		Y=A+B
0	0	1	1		
0	1	1	0		
1	0	0	1		
1	1	0	0		

Tablo 6.1

Deneyin Yapılışı :

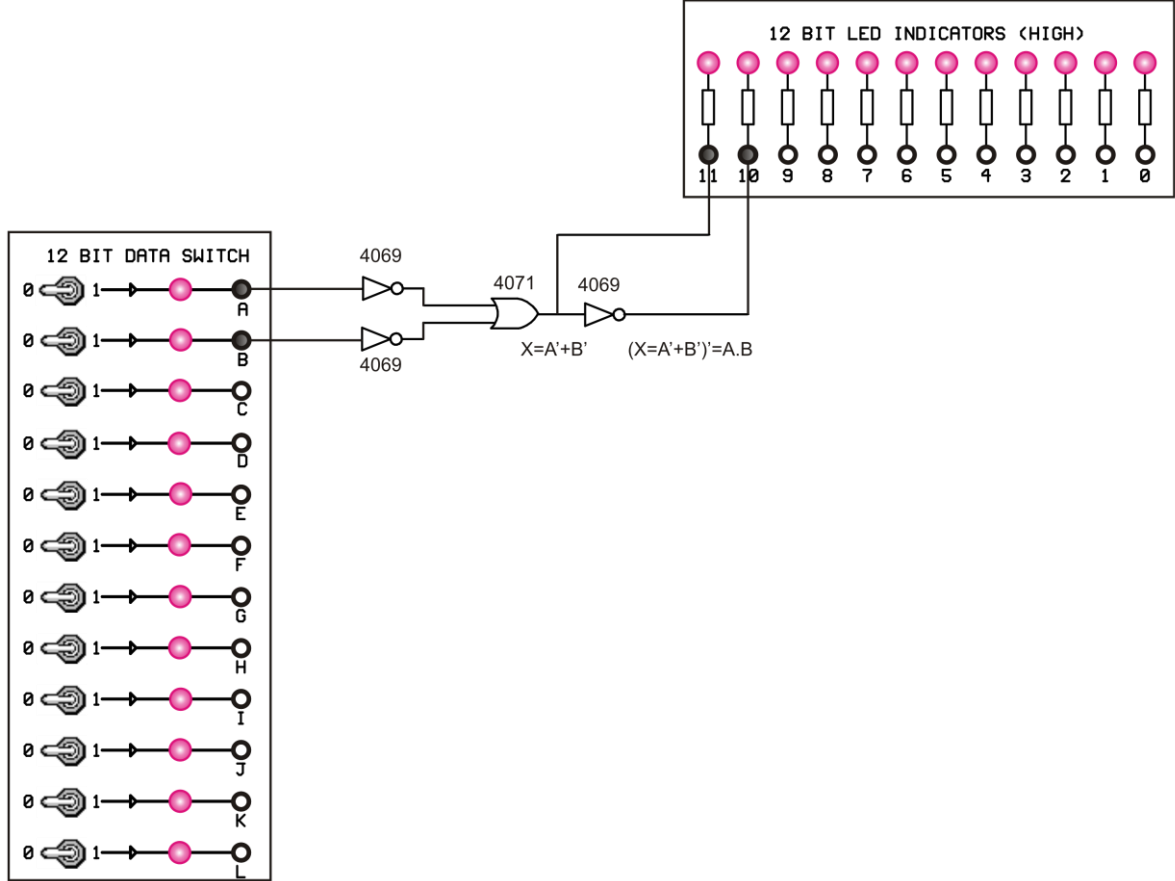
1- Devreyi Şekil 6.1 ' deki gibi kurarak gücü uygulayınız.

2- Girişlere Tablo 6.1 ' deki değerleri vererek tabloyu tamamlayınız.

3- Sonucu tartışınız. AND kapısı INVERTER kapıları kullanılarak OR kapısı olmuş mudur?

DENEY NO : 7**DENEY ADI : INVERTER KULLANARAK OR KAPISININ AND KAPISINA ÇEVİRİLMESİ****Deneyde Kullanılan Deney Seti:**

1- Y-0020-01 Deney Seti



Şekil 7.1

GİRİŞ				ÇIKIŞ	
NORMAL		TERSİ		$X=A'+B'$	$(X=A'+B)'$
A	B	A'	B'		$Y=A.B$
0	0	1	1		
0	1	1	0		
1	0	0	1		
1	1	0	0		

Tablo 7.1

Deneyin Yapılışı :

1- Devreyi Şekil 7.1 ' deki gibi kurarak gücü uygulayınız.

2- Girişlere Tablo 7.1 ' deki değerleri vererek tabloyu tamamlayınız.

3- Sonucu tartışınız. OR kapısı INVERTER kapıları kullanılarak AND kapısı olmuş mudur?

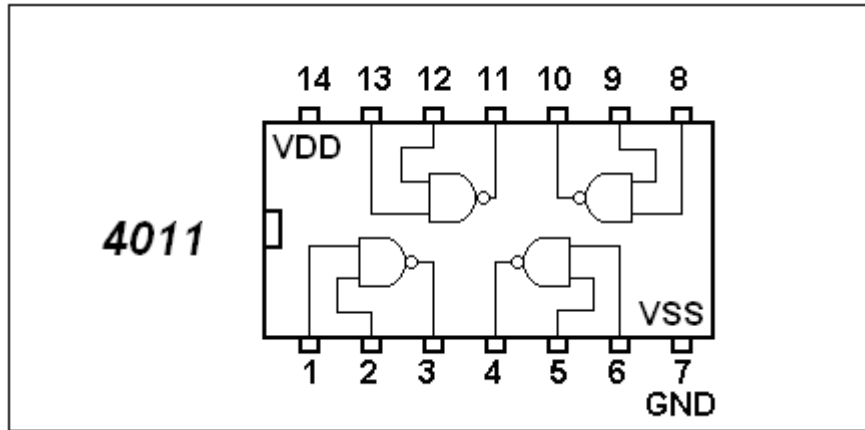
DENEY ADI : NAND (VEDEĞİL) KAPISININ İNCELENMESİ

DENEY AMAÇLARI :

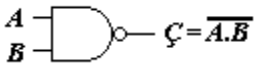
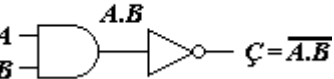
- A- NAND kapısı devrelerini tanımak ve bunun mantık işlevini doğrulamak,
- B- Doğruluk tablosunu elde etmek ve çeşitli özelliklerini incelemek.
- C- 4011 (NAND) entegresini tanımak.
- D- Üç ve daha fazla NAND kapısı kullanarak oluşan devrenin özelliklerini incelemek.

ÖN BİLGİ :

- 1* NAND kapısı, AND kapısının girişlerine verilen mantık seviyelerinin tersini çıkıştan verir.
- 2* Sembol olarak bu durum, AND kapısının çıkışındaki küçük bir daire ile belirtilir.
- 3* Bir NAND kapısının çalışması kısaca şöyle özetlenebilir; Tüm girişler "1" olduğunda çıkış "0" girişlerin diğer durumları için çıkış "1" mantık düzeyindedir.
- 4* NAND kapısının girişleri birbirine bağlanırsa INVERTER olarak ta çalışabilir.



Şekil 8.1

 	GİRİŞLER		ÇIKIŞ	
	A	B	$\zeta = A.B$	$(\zeta = A.B)'$
	0	0	0	1
	0	1	0	1
	1	0	0	1
	1	1	1	0

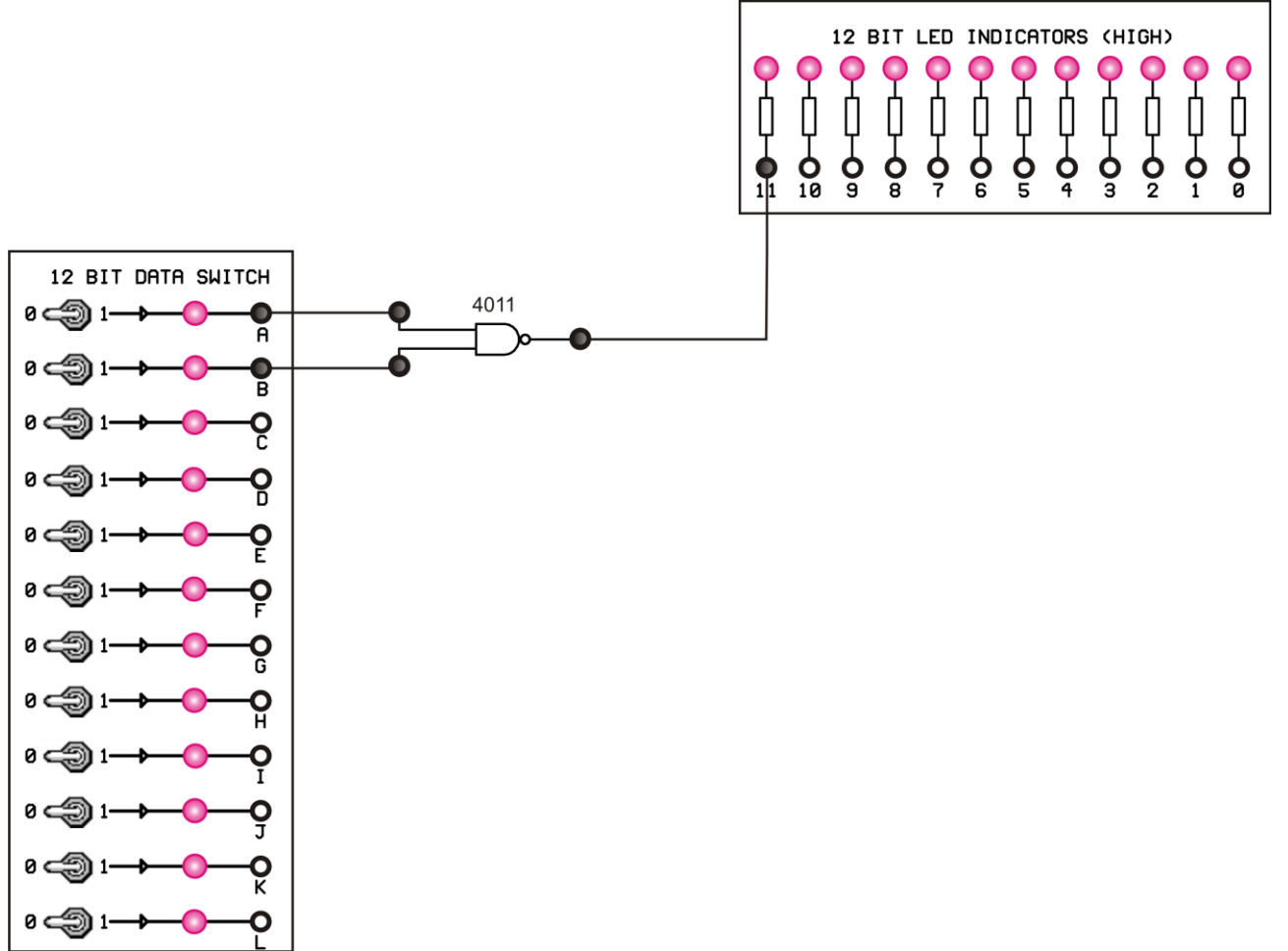
Tablo 8.1

DENEY NO : 8

DENEY ADI : NAND (VE-DEĞİL) KAPISI DOĞRULUK TABLOSUNUN ÇIKARILMASI

Deneyde Kullanılan Set ve Ölçü Aletleri:

- 1- Y-0020-01 Deney Seti ,
- 2- Dijital Voltmetre,



Şekil . 8.2

GİRİŞLER		ÇIKIŞ
A	B	Ç=A.B
0	0	
0	1	
1	0	
1	1	

Tablo. 8.2

Deneyin Yapılışı:

- 1- Devreyi Şekil 8.2 ' deki gibi kurarak gücü uygulayınız.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- NAND kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip, "1" mi, "0" mı olduğunu Tablo 8.2 ' ye işleyiniz.
- 4- 3. ve 4. maddelerdeki işlemleri Tablo 8.1 ' deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 5- Çıkış ne zaman mantık "1" dir?

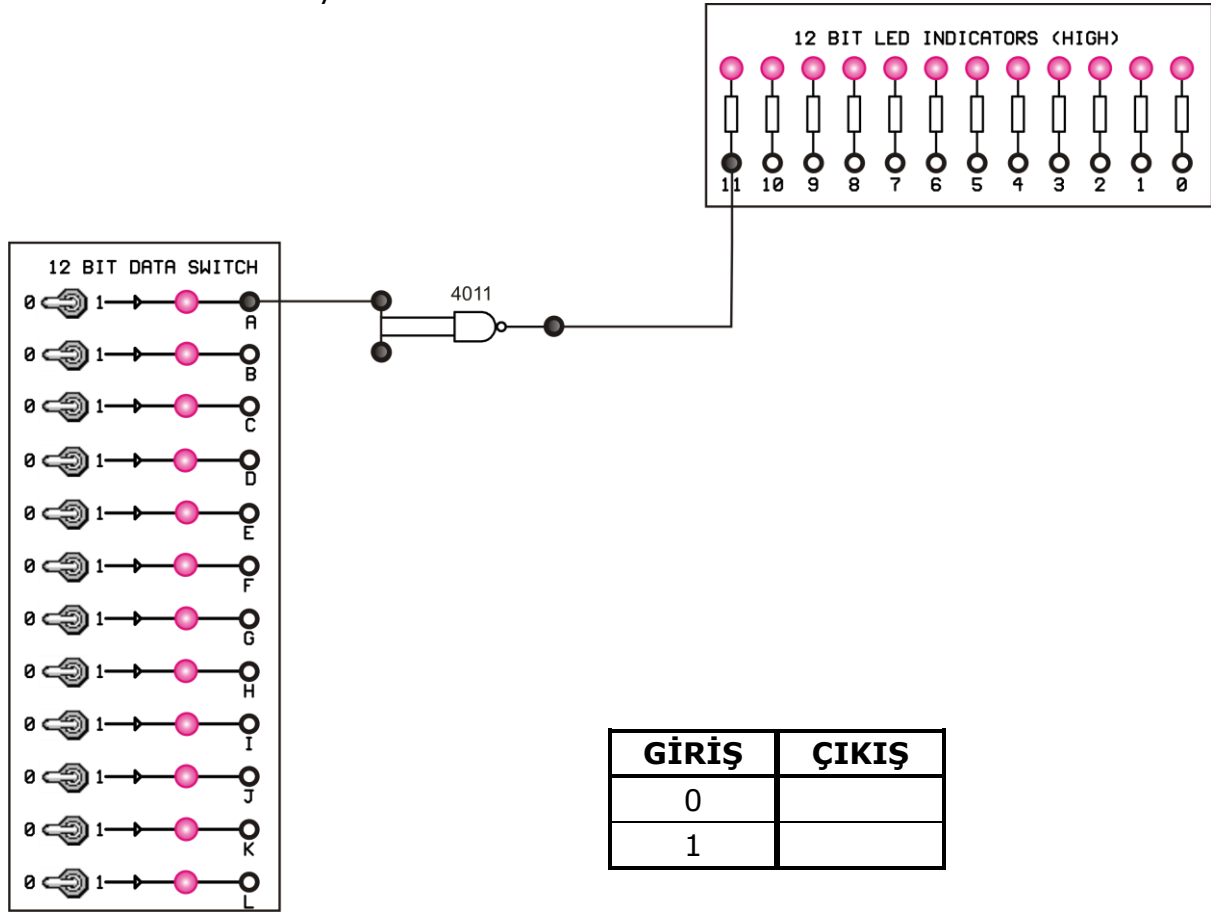
--

- 6- Tablo 8.2 'deki sonuçlara göre NAND kapısı gerçeklik tablosu elde edilmiş midir?

--

DENEY NO : 9**DENEY ADI : NAND KAPISININ INVERTER OLARAK KULLANILMASI****Deneyde Kullanılan Set:**

1- Y-0020-01 Deney Seti



Şekil. 9.1

GİRİŞ	ÇIKIŞ
0	
1	

Tablo.9.1

Deneyin Yapılışı :

- 1- Devreyi Şekil 9.1 ' deki gibi kurarak gücü uygulayınız.
- 2- Girişi "0" durumuna getiriniz.
- 3- NAND kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 9.1 ' ye işleyiniz.
- 4- Girişi "1" durumuna getiriniz.
- 5- NAND kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 9.1 ' ye işleyiniz.
- 6- Çıkış ne zaman mantık "1" dir?

7-Çıkış ne zaman mantık "0" dır?

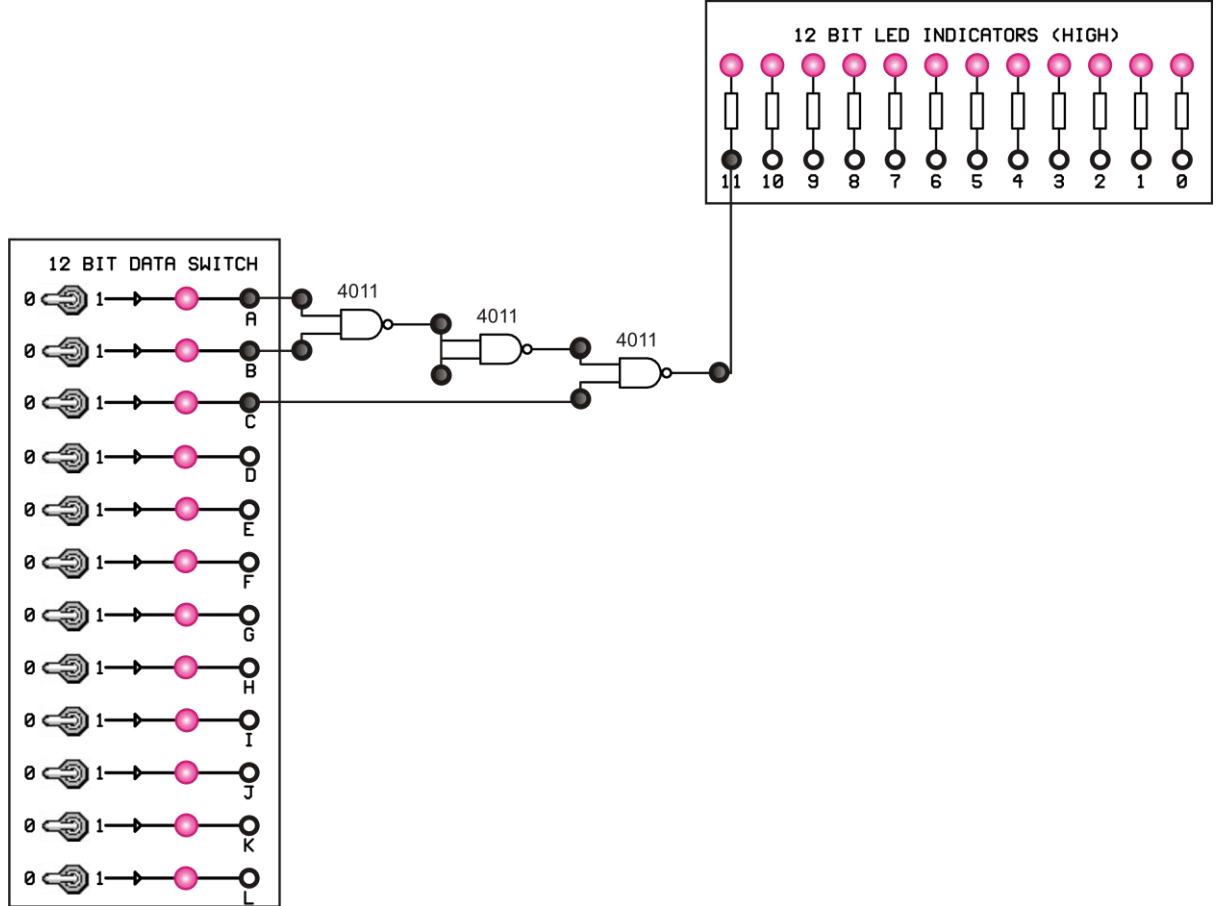
8-Tablo 9.1 'deki sonuçlara göre NAND kapısının gerçeklik tablosu elde edilmiş midir?

DENEY NO: 10**DENEY ADI : 2 GİRİŞLİ NAND KAPILARIYLA 3 GİRİŞLİ NAND KAPISININ OLUŞTURULMASI VE DOĞRULUK TABLOSUNUN ÇIKARILMASI****DENEYİN AMACI :**

- A- NAND Kapılarının giriş uçlarının çoğaltılmasının öğrenilmesi.
B- 3 Girişli NAND kapısının doğruluk tablosunun çıkarılması.

Deneyde Kullanılan Set ve Ölçü Aleti:

- 1- Y-0020/01 Deney Seti 2- Dijital Voltmetre,



Şekil.10.1

GİRİŞLER			ÇIKIŞ
A	B	C	$\text{Ç}=\text{A}.\text{B}.\text{C}$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo.10.1

Deneyin Yapılışı :

- 1- Devreyi Şekil 10.1 ' deki gibi kurarak gücü uygulayınız.
- 2- Her üç girişi "0" durumuna getiriniz.
- 3- 3 Girişli NAND kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu tablo 10.1 ' ye işleyiniz.
- 4- 3. ve 4. maddelerdeki işlemleri Tablo 10.1 'deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 5- Çıkış ne zaman mantık "1" dir?

6- Tablo 10.1 ' deki sonuçlara göre 3 girişli NAND kapısının gerçeklik tablosu elde edilmiş midir?

- 7- 4 girişli NAND kapısı oluşturunuz.

DENEY ADI : NOR (VEYADEĞİL) KAPISININ İNCELENMESİ

DENEY AMAÇLARI :

- A- NOR kapısını tanımak ve bunun mantık işlevini doğrulamak,
- B- Doğruluk tablosunu elde etmek ve çeşitli özelliklerini incelemek.
- C- 4001 NOR entegresini tanımak.
- D- 3 adet NOR kapısı kullanarak 3 girişli NOR kapısı elde etmek.

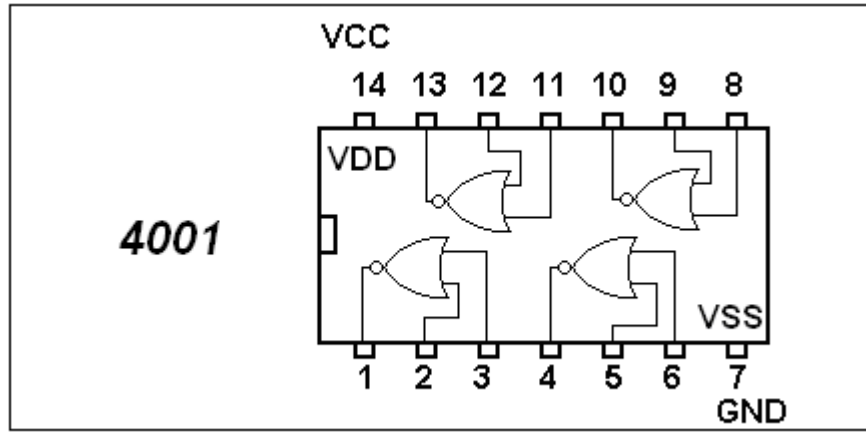
ÖN BİLGİ :

1* NOR kapısı, OR kapısının girişlerine verilen mantık seviyelerinin tersini çıkıştan verir.

2* Sembol olarak bu durum, OR kapısının çıkışındaki küçük bir daire ile belirtilir.

3* Bir NOR kapısının çalışması kısaca şöyle özetlenebilir; Herhangi bir giriş "1" olduğunda çıkış "0", girişlerin tümünün "0" olduğu durumda çıkış "1" mantık düzeyindedir.

4* NOR kapısının girişleri birbirine bağlanırsa İNVERTER olarak ta çalışabilir.



Şekil 1

	GİRİŞLER		ÇIKIŞ	
	A	B	$\zeta = A+B$	$(\zeta = A+B)'$
	0	0	0	1
	0	1	1	0
	1	0	1	0
1	1	1	0	

Şekil 2

Tablo 1

	GİRİŞ	ÇIKIŞ
	A	B
	0	1
1	0	

Şekil 3

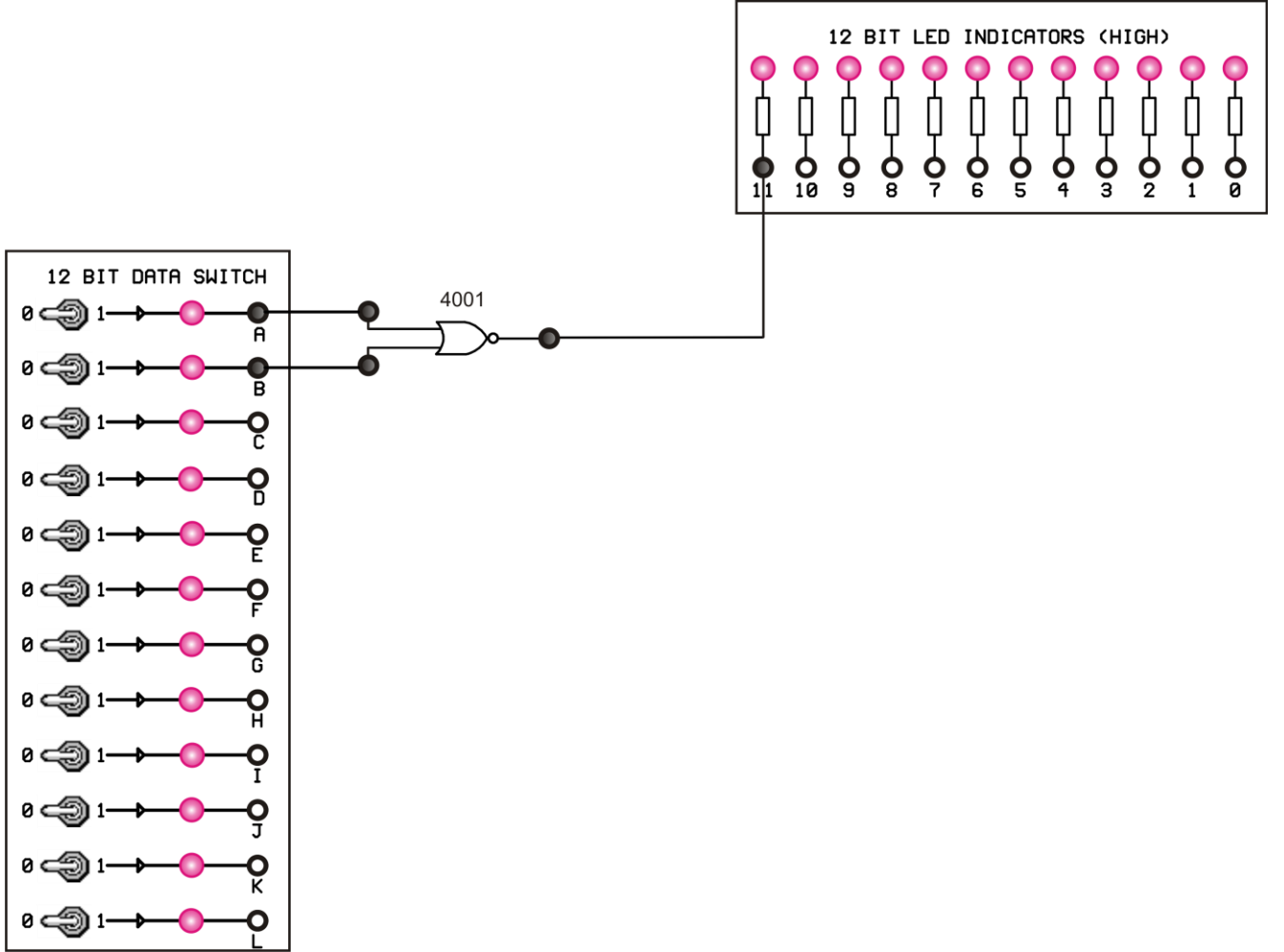
Tablo 2

DENEY NO : 11

DENEY ADI : NOR (VEYADEĞİL) KAPISI DOĞRULUK TABLOSUNUN ÇIKARILMASI

Deneyde Kullanılan Set:

1- Y-0020-01 Deney Seti



Şekil. 11.1

GİRİŞLER		ÇIKIŞ	
A	B	$\text{Ç}=\text{A}+\text{B}$	$\text{Ç}=(\text{A}+\text{B})'$
0	0		
0	1		
1	0		
1	1		

Tablo . 11.1

Deneyin Yapılışı :

- 1- Devreyi Şekil .11.1 ' deki gibi kurarak gücü uygulayınız.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- NOR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 11.1 ' e işleyiniz.
- 4- 3. ve 4. maddelerdeki işlemleri Tablo 11.1 ' e değerlerle yaparak çıkışları tabloya kaydediniz
- 5- Çıkış ne zaman mantık "1" dir?

--

- 6- Tablo 11.1 ' deki sonuçlara göre NOR kapısının gerçeklik tablosu elde edilmiş midir?

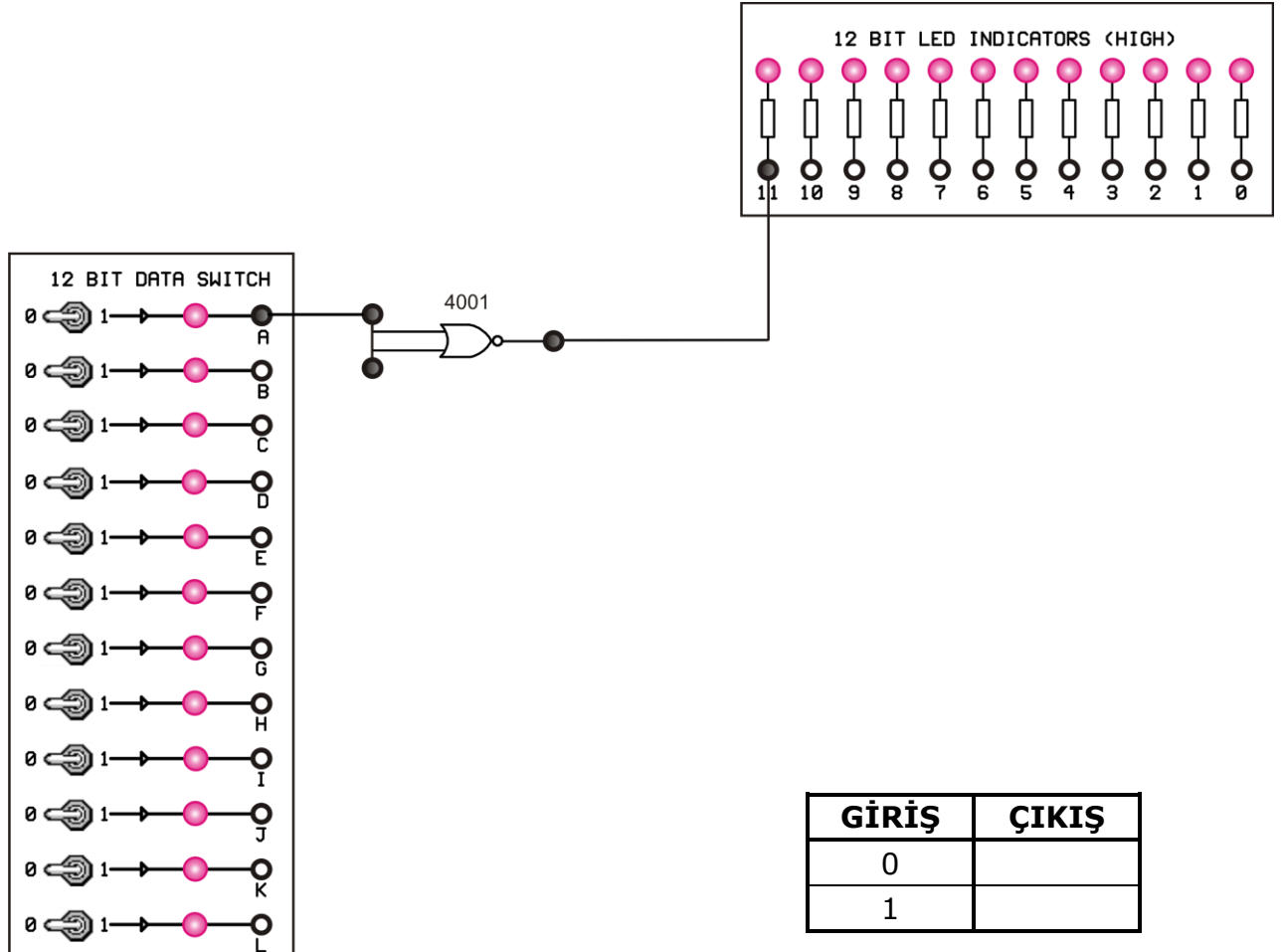
--

DENEY NO : 12**DENEY ADI : NOR KAPISININ INVERTER OLARAK KULLANILMASI****DENEYİN AMACI :**

A- NOR kapısı kullanarak INVERTER yapmak

Deneyde Kullanılan Set :

1- Y-0020-01 Deney Seti



Şekil. 12.1

Tablo 12.1

Deneyin Yapılışı :

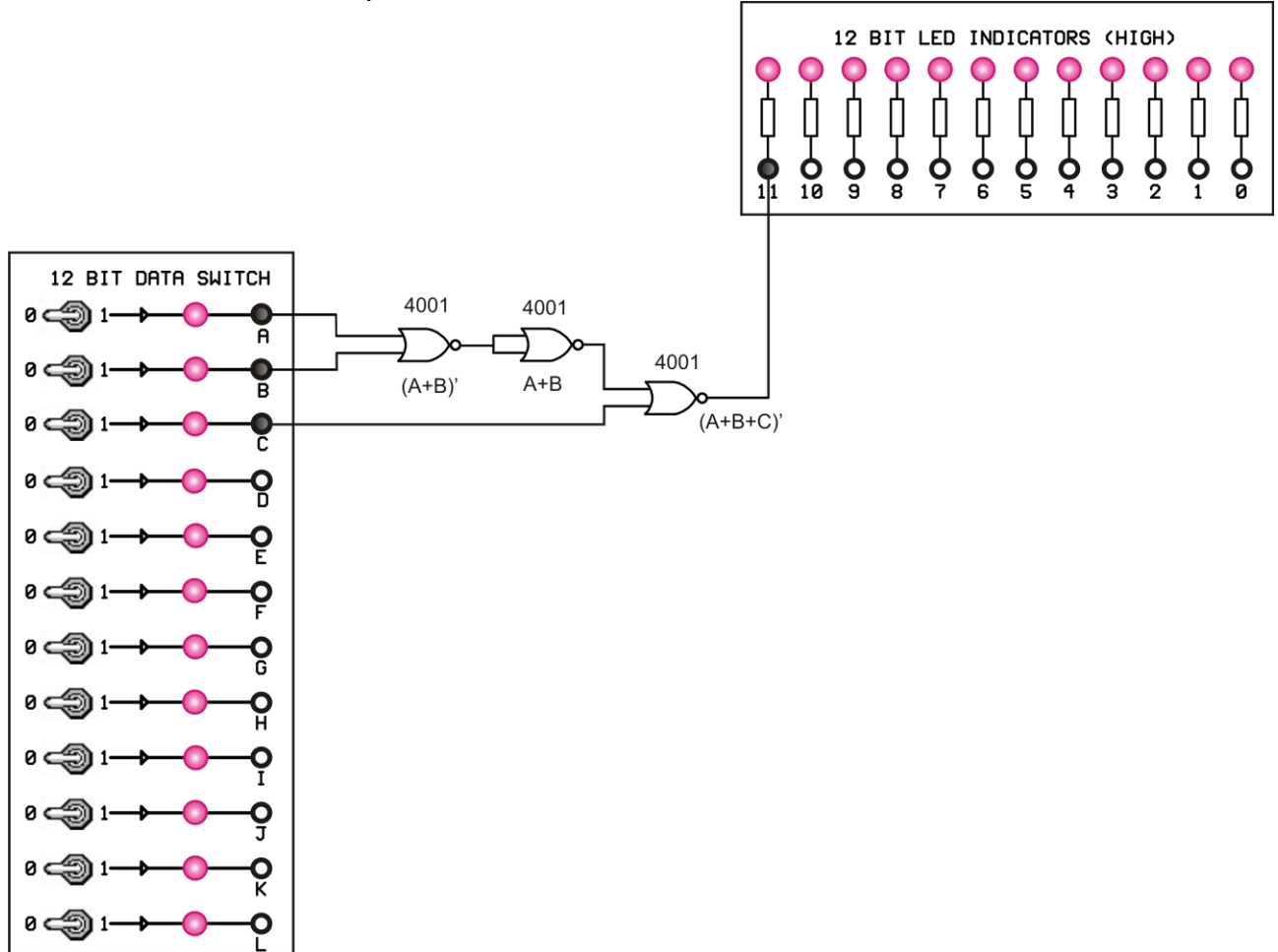
- 1- Devreyi Şekil 12.1 'deki gibi kurarak gücü uygulayınız.
- 2- Girişi "0" durumuna getiriniz.
- 3- NOR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu tablo 12.1 'e işleyiniz.
- 4- Girişi "1" durumuna getiriniz.
- 5- NOR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 12.1 'e işleyiniz.
- 8- Tablo 12.1 'deki sonuçlara göre NOR kapısının gerçeklik tablosu elde edilmiş midir

DENEY NO : 13

DENEY ADI : 2 GİRİŞLİ NOR (VEYADEĞİL) KAPILARIYLA 3 GİRİŞLİ NOR KAPISI YAPILMASI

Deneyde Kullanılan Set :

1- Y-0020-01 Deney Seti



Şekil.13.1

GİRİŞLER			ÇIKIŞ
A	B	C	$\text{Ç}=(A+B+C)'$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo 13.1

Deneyin Yapılışı :

- 1- Devreyi Şekil 13.1 'deki gibi kurarak gücü uygulayınız.
- 2- Her üç girişi "0" durumuna getiriniz.
- 3- 3 Girişli NOR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 13.1 'e işleyiniz.
- 4- 3. ve 4. maddelerdeki işlemleri Tablo 13.1 'deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 5- Çıkış ne zaman mantık "1" dir?

--

- 6- Tablo 13.1 'deki sonuçlara göre 3 girişli NOR kapısının gerçeklik tablosu elde edilmiş midir?
- 7- 2 girişli NOR kapılarından 4 girişli NOR kapısı elde ediniz.

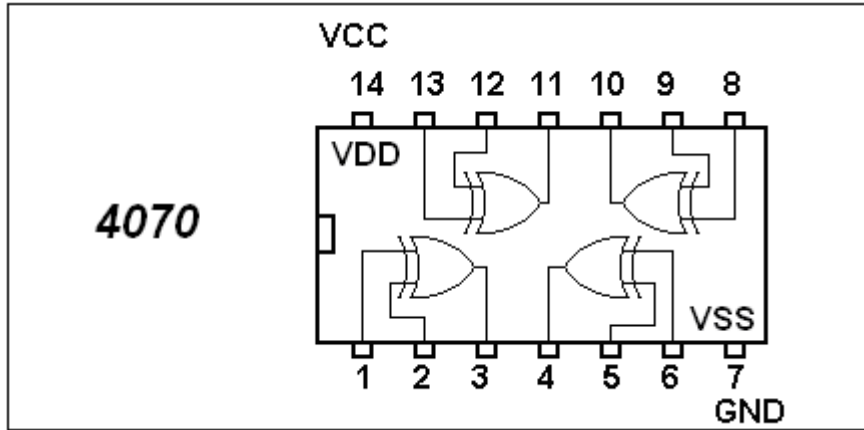
DENEY ADI :
EXECULISIVE-OR (ÖZEL-VEYA) KAPISININ İNCELENMESİ

DENEY AMAÇLARI :

- A- Sayısal mantık EX-OR kapısını tanımak, bunların mantık işlevlerini doğrulamak.
- B- 4070 EX-OR entegresini tanımak.
- C- Diğer kapılarla EX-OR kapısını oluştumayı öğrenmek

ÖN BİLGİ :

- 1* İki girişli EX-OR kapısı iki bit ' i kıyaslar . Bu bitler birbirinden farklı ise "1" çıkışı verir.
- 2* EX-OR kapısı temel kapılarla elde edilebileceği gibi, standart entegre devrelerle de elde edilebilir.
- 3* Bu devrelere eşitsizlik kıyaslayıcısı da denilir.
- 4* Eşitlik kodu olan parity kodu EX-OR kapısı ile gerçekleştirilir.
- 5* Sembolü ve doğruluk tablosu aşağıdaki şekilde görülmektedir.



Şekil 1.1

	GİRİŞLER		ÇIKIŞ
	A	B	$\text{Ç} = A \oplus B$
	0	0	0
	0	1	1
	1	0	1
	1	1	0

Şekil 1.2

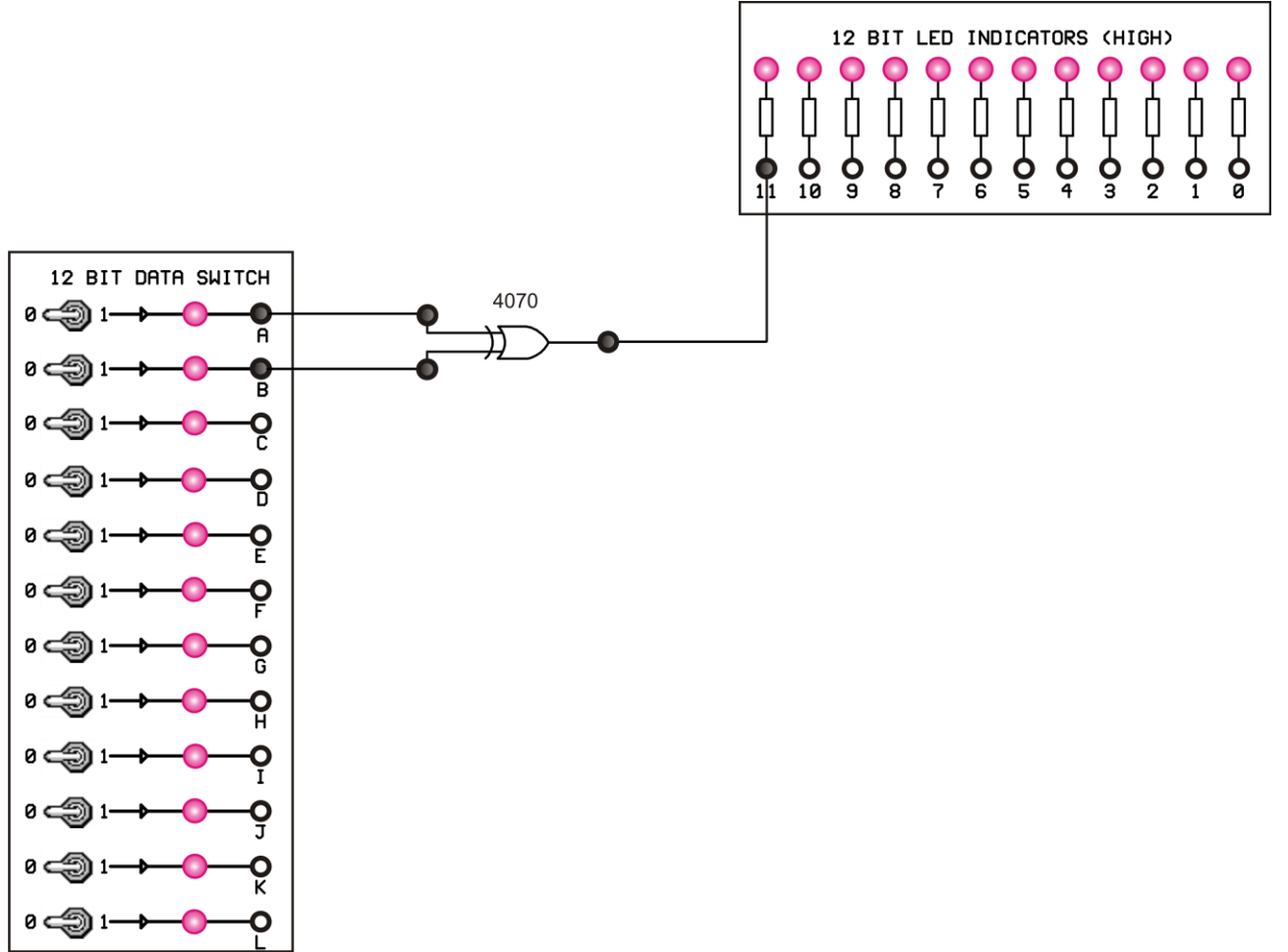
Tablo 1.1

DENEY NO : 14

DENEY ADI : EXCLUSIVE-OR KAPISI DOĞRULUK TABLOSUNUN ÇIKARILMASI

Deneyde Kullanılacak Set:

1- Y-0020-01 Deney Seti.



Şekil 14.1

GİRİŞLER		ÇIKIŞ
A	B	$\text{Ç} = A \oplus B$
0	0	
0	1	
1	0	
1	1	

Tablo 14.1

Deneyin Yapılışı :

- 1- Devreyi Şekil 14.1 ' deki gibi kurarak gücü uygulayınız.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- EX-OR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 14.1 ' e işleyiniz.
- 4- 3. maddedeki işlemleri Tablo 14.1 'deki değerlerle yaparak çıkışları tabloya kaydediniz.

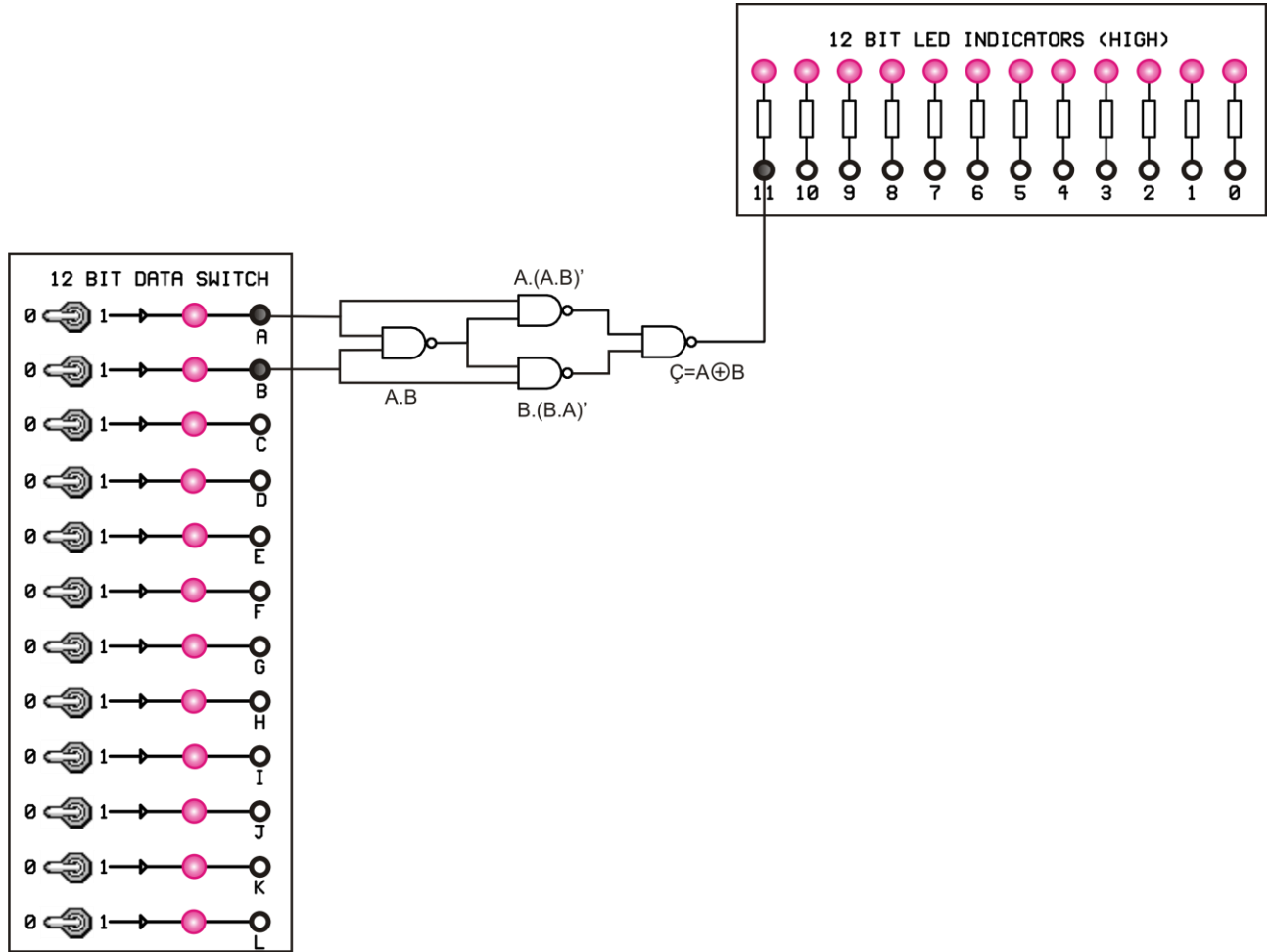
5- Çıkış ne zaman mantık "1" dir?

6- Çıkış ne zaman "0" dır ?

7- Tablo 14.1 'deki sonuçlara göre EX-OR kapısının gerçeklik tablosu elde edilmiş midir?

DENEY NO : 15**DENEY ADI : NAND KAPILARIYLA EX-OR KAPISI OLUŞTURMAK****Deneyde Kullanılacak Set :**

1- Y-0020-01 Deney Seti



Şekil 15.1

GİRİŞLER		ÇIKIŞ
A	B	$\text{Ç} = A \oplus B$
0	0	
0	1	
1	0	
1	1	

Tablo 15.1

Deneyin Yapılışı :

- 1- Devreyi şekil 15.1 ' deki gibi kurunuz.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- Devrenin çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi "0" mı olduğunu belirleyip Tablo 15.1 ' e kaydediniz.
- 4- 3. maddedeki işlemleri tablo 15.1 ' deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 5- Çıkış ne zaman mantık "1" dir ?

- 6- Çıkış ne zaman mantık "0" dır ?

- 7- Tablo 15.1 ' deki sonuçlara göre EX-OR kapısının doğruluk tablosu elde edilmiş midir?

$$\text{Ç} = (A \cdot (AB)') \cdot (B \cdot (AB)')$$

$$\text{Ç} = (A' \cdot B) + (B' \cdot A)$$

$$\text{Ç} = A \oplus B$$

(*) "Ç" Denklemi BOOLEAN aritmetiği kullanılarak sadeleştirilmiştir.

DENEY ADI : EXECULISIVE-NOR (ÖZEL-VEYADEĞİL) KAPISININ İNCELENMESİ

DENEY AMAÇLARI :

A-Sayısal mantık EX-NOR kapısını tanımak, 4077 entegresini kullanarak mantık işlevlerini doğrulamak.

B-Eşlik biti üretim devresini görmek ve doğruluk tablosunu çıkarmak.

C- 4070 EX-OR entegresi ve 4069 Tersleyici kullanarak EX-NOR oluşturmak.

ÖN BİLGİ :

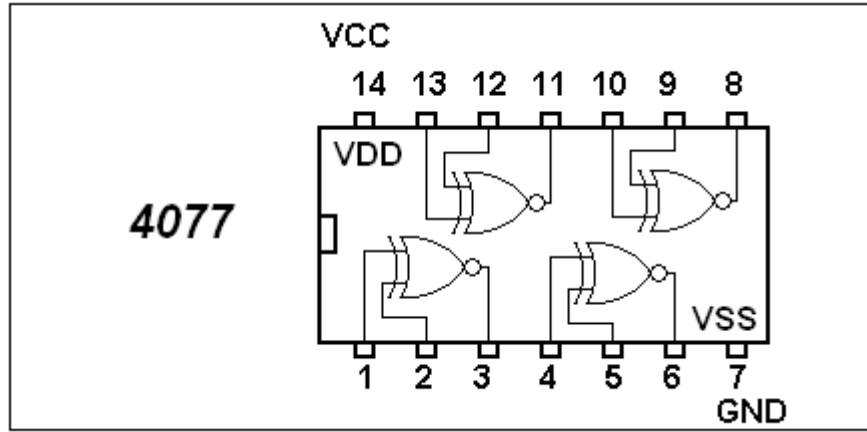
1* İki girişli EX-NOR kapısı iki tane binary (ikilik) bit' i kıyaslar ve bunlar eğer birbirinin aynı ise "1" çıkışı verir.

2* EX-NOR kapısı EX-OR kapısının terslenmiş halidir.

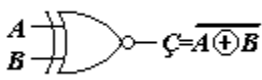
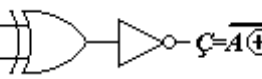
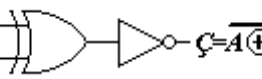
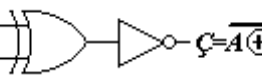
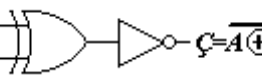
3* EX-NOR kapısı temel kapılarla elde edilebileceği gibi, standart entegre devrelerle de elde edilebilir.

4* Eşitlik kodu olan parity kodu EX-NOR kapısı ile gerçekleştirilir.

6* Sembolü ve doğruluk tablosu Şekil 1.1 ve Tablo 1.1 ' de görülmektedir.



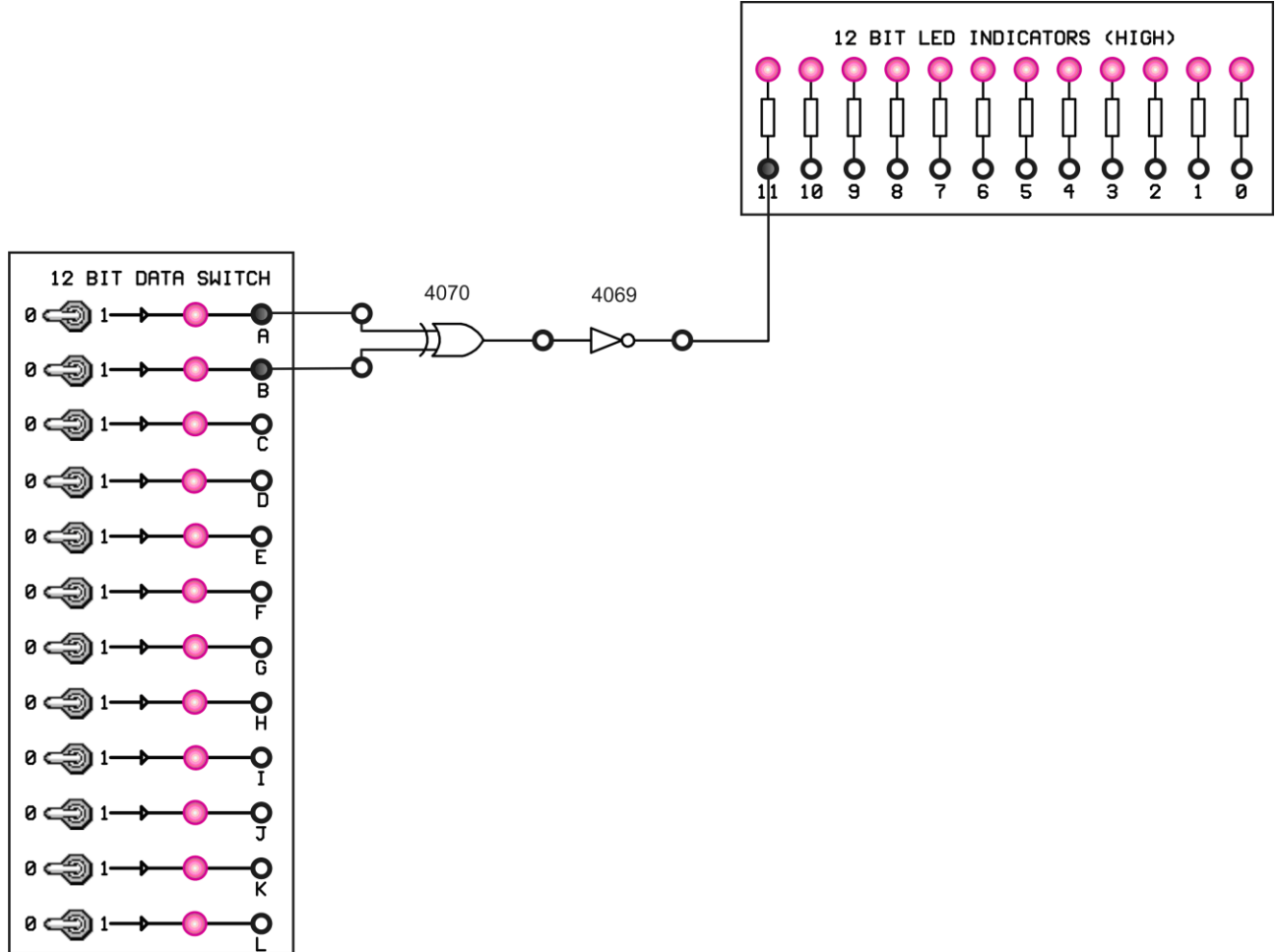
Şekil 1.1

	GİRİŞLER		ÇIKIŞLAR	
	A	B	Ç = A ⊕ B	Ç = (A ⊕ B)'
	0	0	0	1
	0	1	1	0
	1	0	1	0
	1	1	0	1

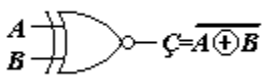
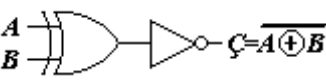
Tablo 1.1

DENEY NO :16**DENEY ADI : EXECULISIVE-NOR (ÖZEL-VEYADEĞİL) KAPISININ DOĞRULUK TABLOSUNUN ÇIKARILMASI****Deneyde Kullanılacak Set:**

1- Y-0020-01 Deney Seti.



Şekil. 16.2

	GİRİŞLER		ÇIKIŞLAR	
	A	B	Ç = A ⊕ B	Ç = (A ⊕ B)'
	0	0		
	0	1		
	1	0		
	1	1		

Tablo 16.2

Deneyin Yapılışı:

- 1- Devreyi Şekil 16.2 ' deki gibi kurarak gücü uygulayınız.
- 2- Her iki girişi "0" durumuna getiriniz.
- 3- EX-NOR kapısının çıkışındaki mantık düzeyini ışıklı gösterge ile belirleyip "1" mi, "0" mı olduğunu Tablo 16.2 ' ye işleyiniz.
- 4- 3. ve 4. maddelerdeki işlemleri Tablo 16.2 ' deki değerlerle yaparak çıkışları tabloya kaydediniz.
- 5- Çıkış ne zaman mantık "0" dır?

- 6- Çıkış ne zaman "1" dir ?

- 7- Aynı işlemi 4077 EX-NOR kapı entegresi ile tekrarlayınız.
- 8- Tablo 16.2 ' deki sonuçlara göre EX-NOR kapısının gerçeklik tablosu elde edilmiş midir?

DENEY ADI : THREE-STATE BUFFER (ÜÇ DURUMLU TAMPON)

DENEY AMAÇLARI:

- A- THREE-STATE BUFFER 'ın incelenmesi,
- B- Gerçeklik tablosunun çıkarılması,
- C- 74HC244 THREE-STATE BUFFER entegresinin tanınması.

ÖN BİLGİ :

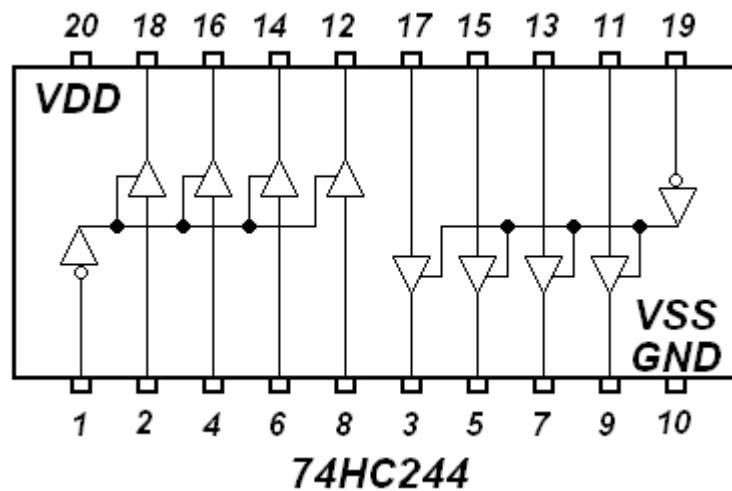
1* Üç Konumlu Tamponlar bir mantık sisteminde çeşitli birimlere veri gönderilmesinde ve bu birimlerden gelen verilerin iletilmesinde ortak hatlar(*) veya ortak yol kullanılmasında önemli işlevleri olan kapılardır.

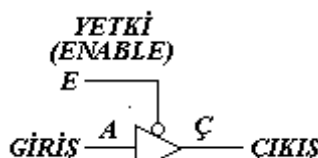
2* Şekil 8.1 ' de ENABLE (yetki) olarak bilinen kontrol sinyali "1" durumunda SET edildiğinde giriş bilgisini çıkışa geçiren bir üç durumlu kapıyı göstermektedir.

3* Yetki (enable) "0" a set edildiğinde, kapı yetkisiz kılınır (disable) veya giriş bilgisinin çıkışa gönderilmesi önlenir. Çıkışın girişle irtiatı kesilir ve bu durumda çıkış yüzüyor (floating) denir. Aynı zamanda çıkış YÜKSEK EMPEDANS gösterir.

4* Üç durumlu kapıların yetkisiz kılınıp yüzen çıkışlara sahip olması, söz konusu üç durumlu kapıların çıkışlarının birbirine bağlanması imkanını verir. Bu bağlama durumunda kapılardan sadece birisi yetkili kılınır. **Bu durum normal mantık kapıları için söz konusu olamaz.** Çünkü bir veya daha fazla mantık çıkışı "1" durumunda iken diğer kapıların mantık durumları "0" durumunda olabilir ve böylece kapı çıkışları arasında bir sirkülasyon akımı akarak devrelerin arızalanmasına neden olur.

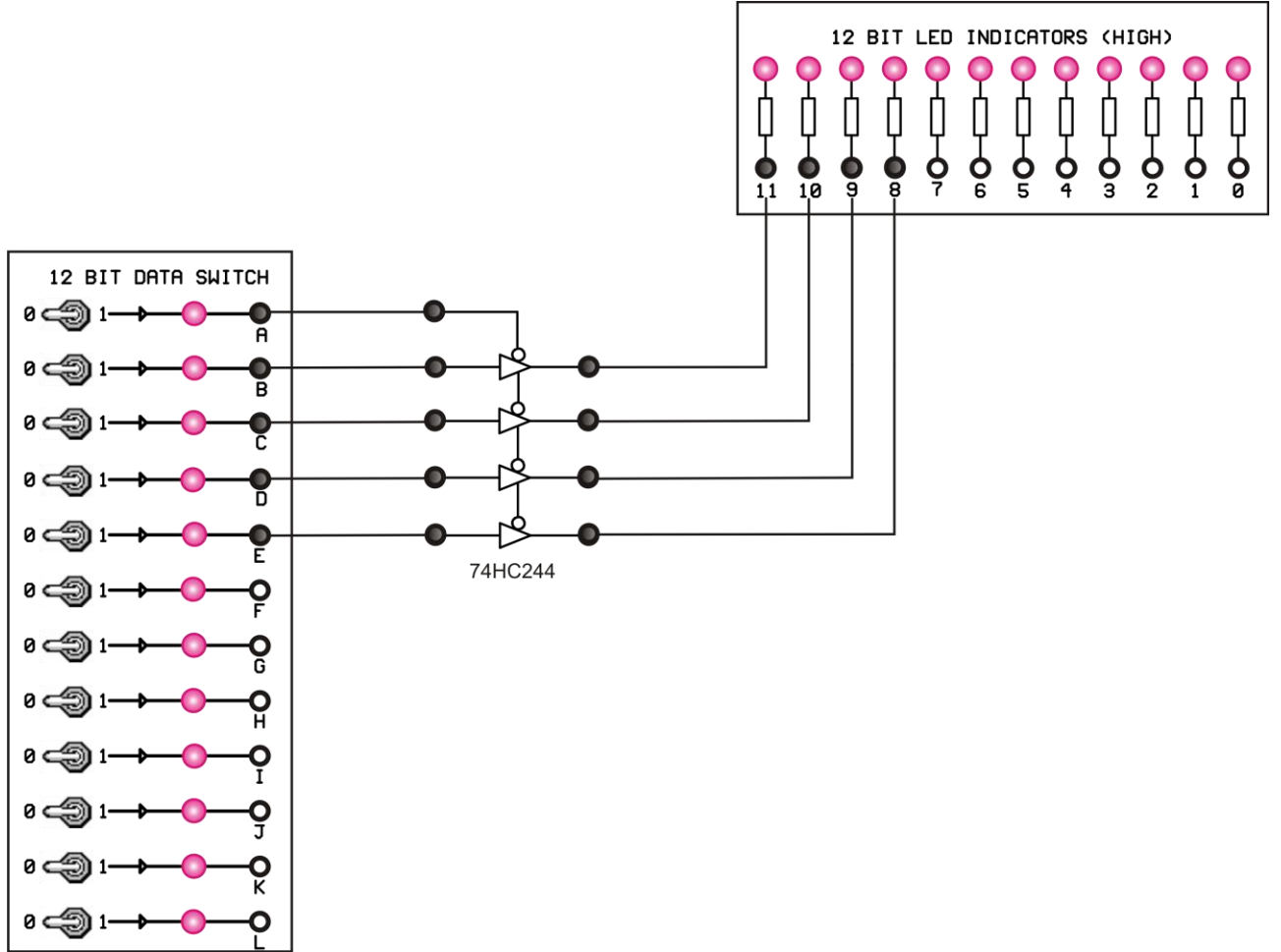
5* THREE-STATE BUFFER' in ayak bağlantısı, sembolü ve doğruluk tablosu aşağıda görülmektedir.



	GİRİŞ	YETKİ	ÇIKIŞ
	A	E	Ç
	0	1	Çıkış girişlerden Kopmuş durumda
	1	1	
	0	0	0
	1	0	1

DENEY NO : 17**DENEY ADI : THREE-STATE BUFFER (Üç Durumlu Tampon) 'IN İNCELENMESİ****Deneyde Kullanılacak Set:**

1- Y-0020-01 Dijital Deney Seti



Şekil 17.1

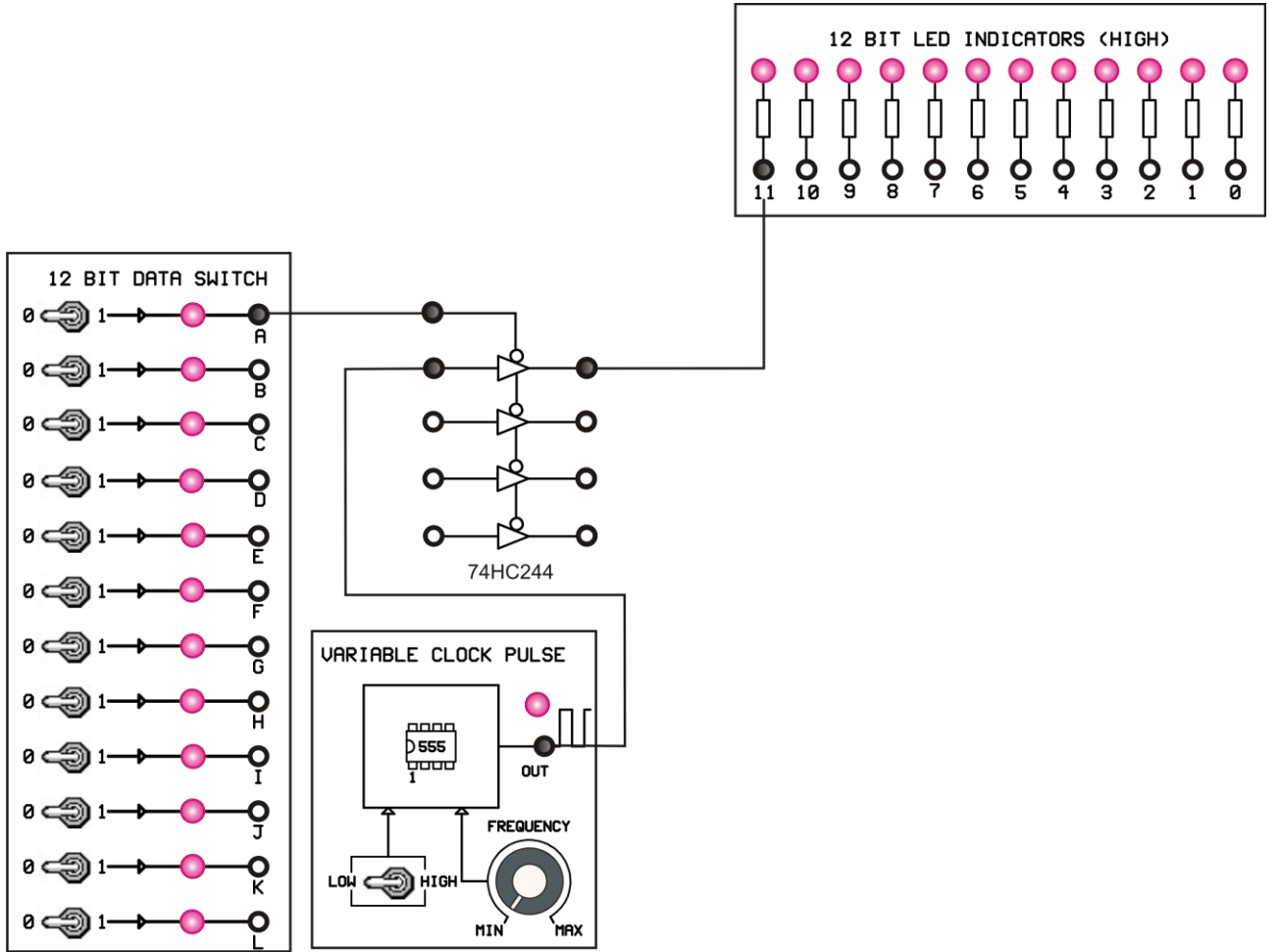
Deneyin Yapılışı :

1. Devreyi Şekil. 17.1 ' deki gibi kurun. Gücü uygulayın.
2. "A" Anahtarını "1" yetkisiz (disable) konumuna alınız.
3. B=0, C=0, D=1, E=0 anahtarlarını şekildeki pozisyonlara alarak çıkışları displayda gözleyiniz. Çıkışlar ne olmuştur ?

4. "A" Anahtarını "0" yetkili (enable) durumuna alınız. Çıkışlardaki değişimi inceleyiniz. Değişim ne olmuştur.

5- "A" Anahtarı "0" yetkili konumunda iken girişleri B=1, C=1, D=1, E=0 olacak şekilde değiştiriniz. Çıkıştaki değişim ne olmuştur ?

6- Girişlere CLOCK sinyali vererek deneyi tekrarlayınız ve çıkışı izleyiniz.



Şekil 17.2

DENEY ADI :
RS FLİP-FLOP DENEYLERİ:

DENEY AMAÇLARI :

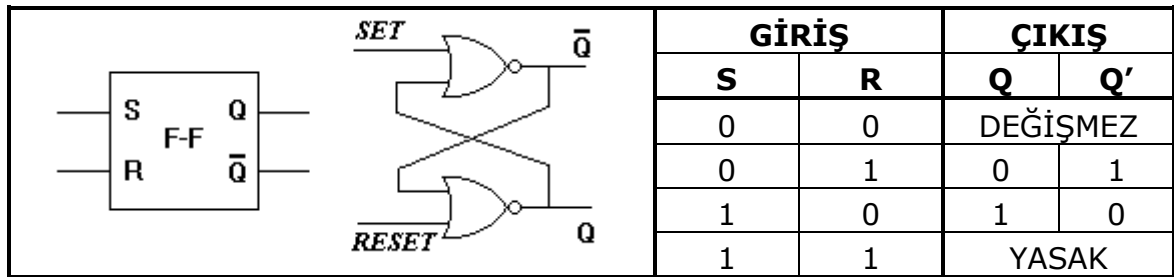
- A- RS Flip Flop' u tanımak, işlevlerini görmek,
- B- Doğruluk tablosunu elde etmek,
- C- 74 LS 02 ve 74 LS 00 entegreleri ile Flip Flop yapmak,
- D- Saatli RS Flip Flop' u tanımak, işlevlerini görmek.

ÖN BİLGİ :

Sayısal bilgiyi ("0" veya "1") depolamada ve işlemede kullanılan temel devrelerden biri de F-F lardır. Genel olarak dört tipi vardır:

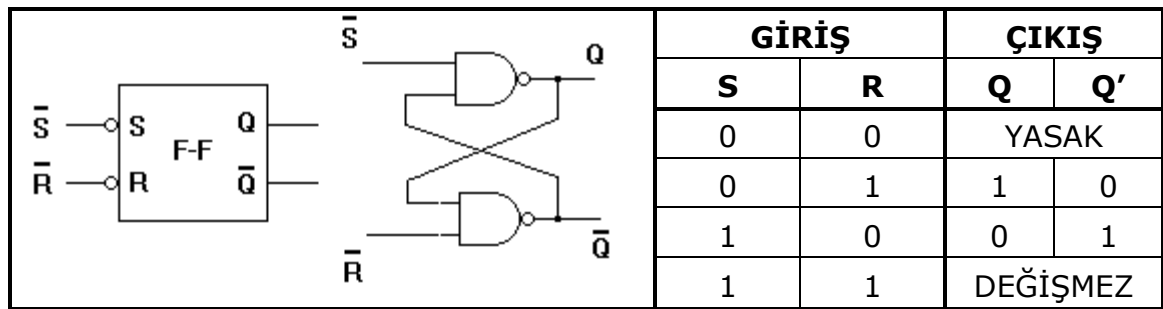
- RS Flip-Flop
- D tipi Flip-Flop
- JK Flip-Flop
- T tipi Flip-Flop

Bu deneyde RS F-F incelenecektir. RS F-F'un en basit yapıda olanı (yalın RS F-F) Şekil 18.1'de şematik olarak gösterilmiştir. Girişler S (set) ve R (reset) olarak isimlendirilirler. Çıktılar Q ve Q' olarak gösterilirler. Q çıkışındaki bilgi F-F'un durumunu belirler. Eğer Q=1 ise, F-F "1" durumunda, Q=0 ise F-F "0" durumundadır denir. Tablo 18.1 ' de, NOR kapılarıyla yapılan , Tablo 18.2 ' de ise NAND kapılarıyla yapılan RS F-F ' un girişleri ve çıktıları arasındaki ilişkiyi gösteren doğruluk tablosu (truth-table) verilmiştir.



Şekil 18.1

Tablo 18.1



Şekil 18.2

Tablo 18.2

Tablo. 18.1 ' deki doğruluk tablosuna göre;

$S = 0$, $R = 0$ olduğunda F-F çıkışları bir önceki durumunu korur.

$S = 0$, $R = 1$ olduğunda F-F resetlenir. Yani $Q = 0$ olur.

$S = 1$, $R = 0$ olduğunda F-F kurulur . Yani $Q = 1$ olur.

$S = 1$, $R = 1$ olduğunda F-F 'un durumu belirsizdir.Bu nedenle, S ve R girişlerinin her iki girişine aynı anda "1" uygulanmaz.

Tablo 18.2 ' deki doğruluk tablosuna göre ;

$S' = 0$, $R' = 0$ olduğunda F-F ' un durumu belirsizdir. Bu nedenle, S ve R girişlerinin her iki girişine aynı anda "0" uygulanmaz.

$S' = 0$, $R' = 1$ olduğunda Q çıkışı "1" olur.

$S' = 1$, $R' = 0$ olduğunda Q çıkışı "0" olur.

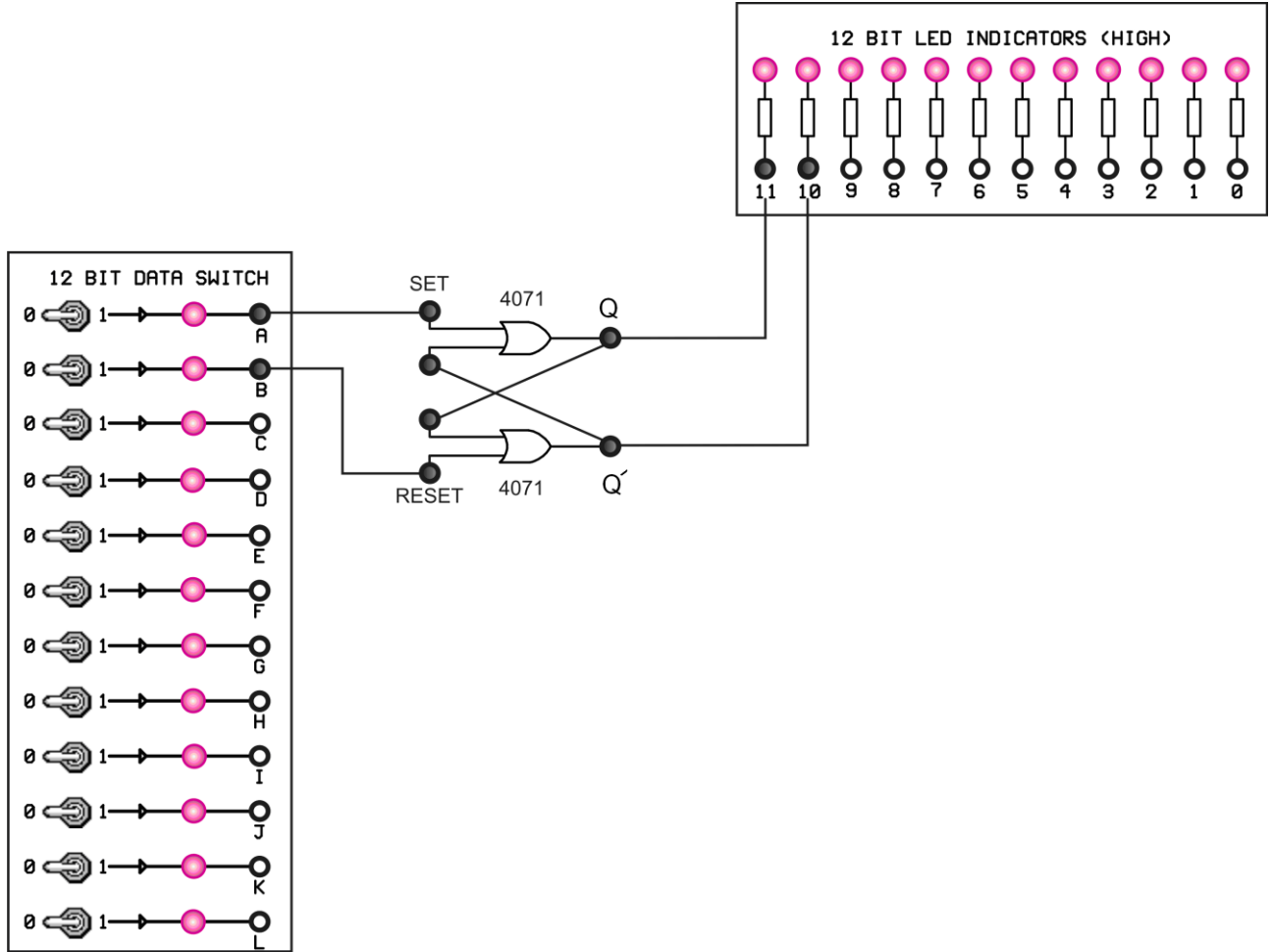
$S' = 1$, $R' = 1$ olduğunda Q çıkışı bir önceki durumunu korur.

DENEY NO : 18

**DENEY ADI : NOR (VEYA-DEĞİL) KAPILARINDAN OLUŞAN
R-S FLİP-FLOP**

Deneyde Kullanılacak Set:

1- Y-0020-01 Dijital Deney Seti



Şekil 18.3

SIRA	GİRİŞ		ÇIKIŞ	
	S	R	Q	Q'
1	0	1		
2	0	0		
3	1	0		
4	0	0		
5	1	1		

Tablo. 18.1

Deneyin Yapılışı :

1. Deneyi Şekil 18.3 ' deki gibi kurunuz. Gücü uygulayınız.
2. A ve B anahtarlarını kullanarak Tablo 18.3' de verilen S-R giriş değerlerini uygulayarak Q çıkışını LED displayden izleyerek, Tablo 18.3 ' e kaydedin.
3. Tablo 18.3 'deki sonuçlara göre;
 - a) Çıkışlar her zaman birbirinin tersi midir?

- b) $S=1$ olduğunda, her zaman $Q=1$ oluyor mu? Niçin ?

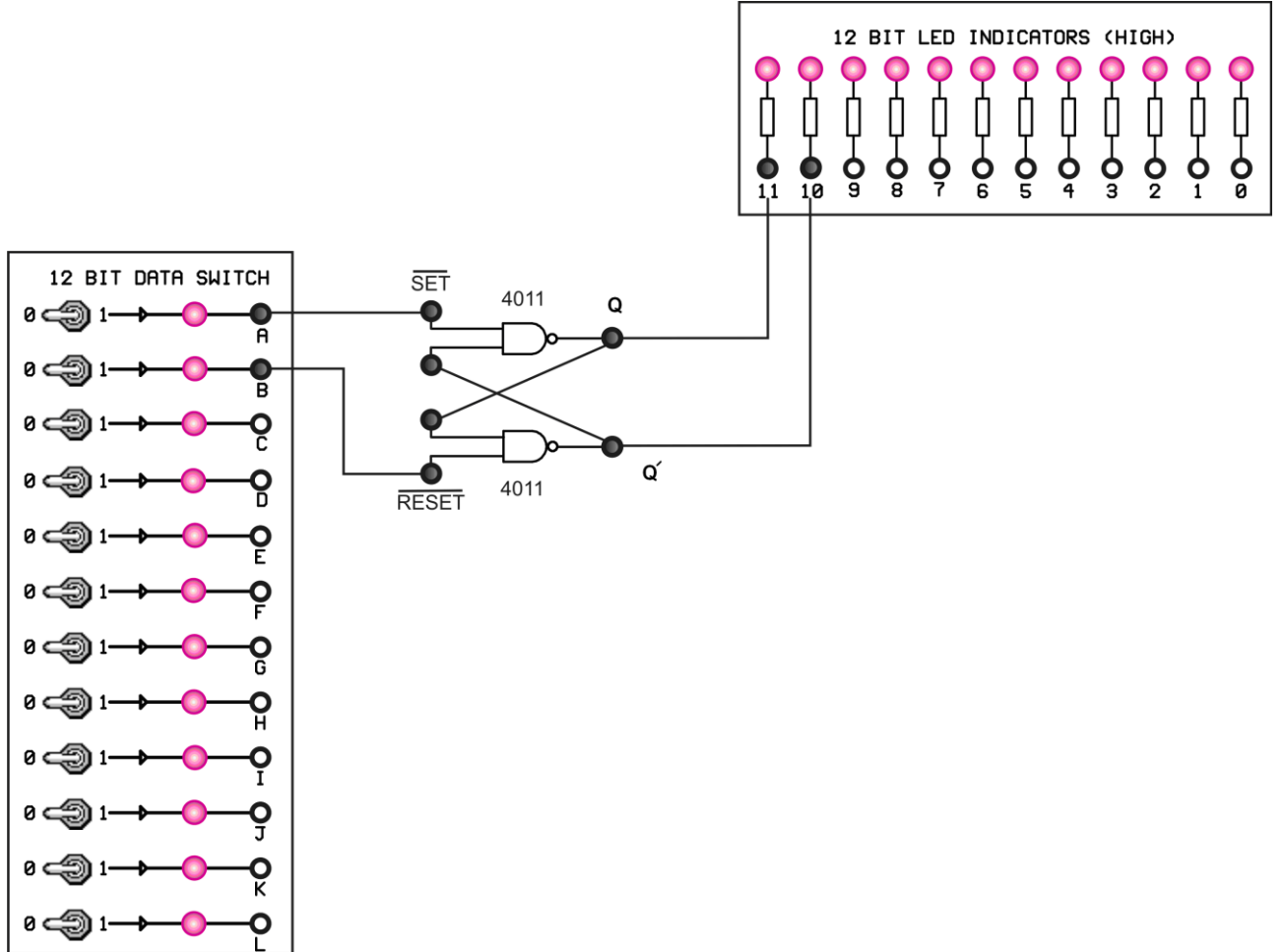
- c) $R=0$ olduğunda, her zaman $Q=0$ oluyor mu?

- d) $S=0, R=0$ olduğunda Q aynı kalıyor mu?

- e)Tablodaki sonuçları ön bilgide verilen bilgilerle karşılaştırın. Aynı mı ?

DENEY NO :19**DENEY ADI : NAND (VE-DEĞİL) KAPILARINDAN OLUŞAN R-S FLİP FLOP****Deneyde Kullanılacak Set:**

1- Y-0020-01 Dijital Deney Seti



Şekil 19.1

SIRA	GİRİŞ		ÇIKIŞ	
	S'	R'	Q	Q'
1	0	1		
2	0	0		
3	1	0		
4	0	0		
5	1	1		

Tablo 19.1

* Önceki durum korunur.

Deneyin Yapılışı :

1. Devreyi Şekil 19.1 ' deki gibi kurun. Gücü uygulayın.
2. A ve B anahtarlarını kullanarak Tablo. 19.1' de verilen S-R giriş değerlerini uygulayarak Q çıkışını LED displayden izleyerek sonuçları Tablo 19.1 'e kaydedin.

3. Tablo 19.1 ' deki sonuçlara göre;

a) Çıkışlar her zaman birbirinin tersimidir ?

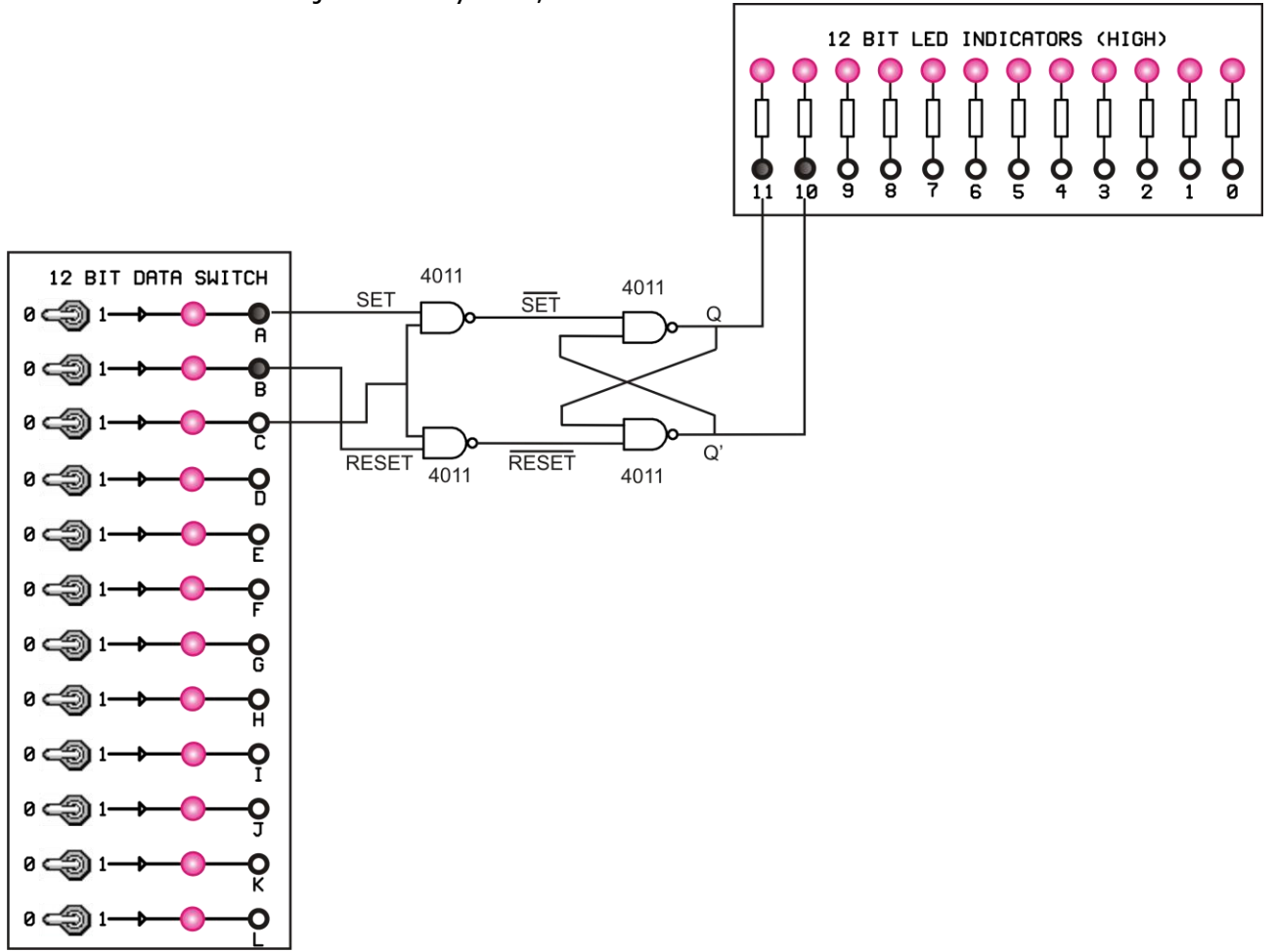
b) $S' = 0$ olduğunda $Q = 1$ oluyor mu?

c) $R' = 0$ olduğunda $Q=0$ oluyor mu? Niçin ?

d) $S' = 1$, $R' = 1$ olduğunda Q her zaman bir önceki durumunu koruyor mu?

DENEY NO :20**DENEY ADI : SAATLİ R-S FLİP FLOP****Deneyde Kullanılan Set :**

1- Y-0020-01 Dijital Deney Seti,



Şekil 20.1

CLOCK	GİRİŞ		ÇIKIŞ	
	S	R	Q	Q'
0	x	x	ETKİLENMEZ	
1	0	1		
1	0	0		
1	1	0		
1	0	0		
1	1	1		

Tablo 20.1

* Önceki durum korunur.

Deneyin Yapılışı :

1. Devreyi Şekil 20.1' deki gibi kurun. Gücü uygulayın.
2. A, B ve Clock palsi için C anahtarlarını kullanarak Tablo 20.1' de verilen R-S giriş değerlerini uygulayarak çıkışları LED displayden izleyip sonuçları Tablo 20.1' e kaydediniz.
3. Tablo 20.1' deki sonuçlara göre;
 - a) S-R girişindeki değişiklikler çıkışa ne zaman yansıyor? Açıklayınız.

- b) Clk "0" verildiği sürece girişteki değişiklikler çıkışı niçin etkilemiyor?

DENEY ADI: J-K TİPİ FLİP-FLOP ' LAR

DENEY AMAÇLARI:

- A- J-K FF' unu tanımak, mantık işlevini doğrulamak ve gerçeklik tablosunu çıkarmak,
- B- 74LS76 J-K Flip Flop entegresini tanımak.

ÖN BİLGİLER :

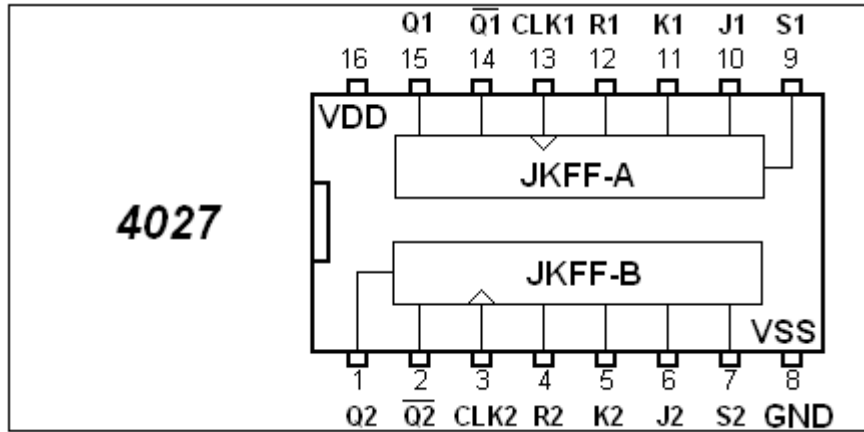
JK FF en yaygın kullanılan FF' dur. Çok çeşitli uygulama yerleri vardır.

JK FF esas olarak R ve S girişleri kapılanmış ve çıkışları çapraz bağlanmış saatli RS FF' dur.

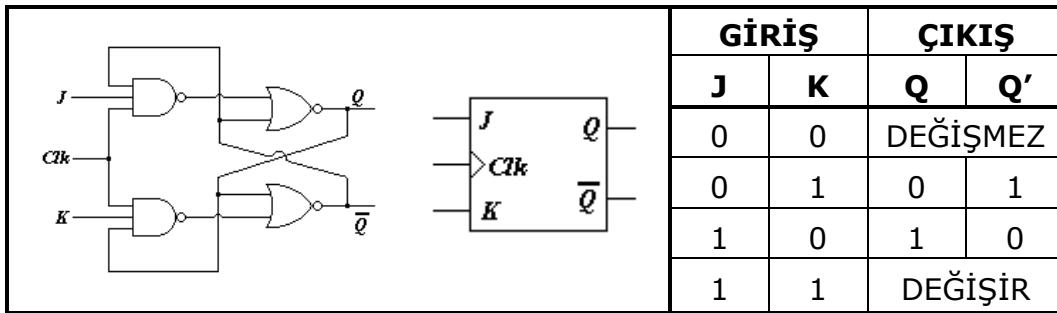
JK FF zaman uyumludur. Ancak zaman uyumsuz denetim girişleri de (Preset ve Clear) kullanılabilir ama bunlar çalışmalarda yasak durum veya belirsiz şartlara neden olabilir.

Kenar tetiklemeli JK FF, kenar tetiklemeli D tipi FF ' a benzemektedir.

JK FF' un sembolü ve doğruluk tablosu aşağıda görülmektedir.



Şekil 21.1



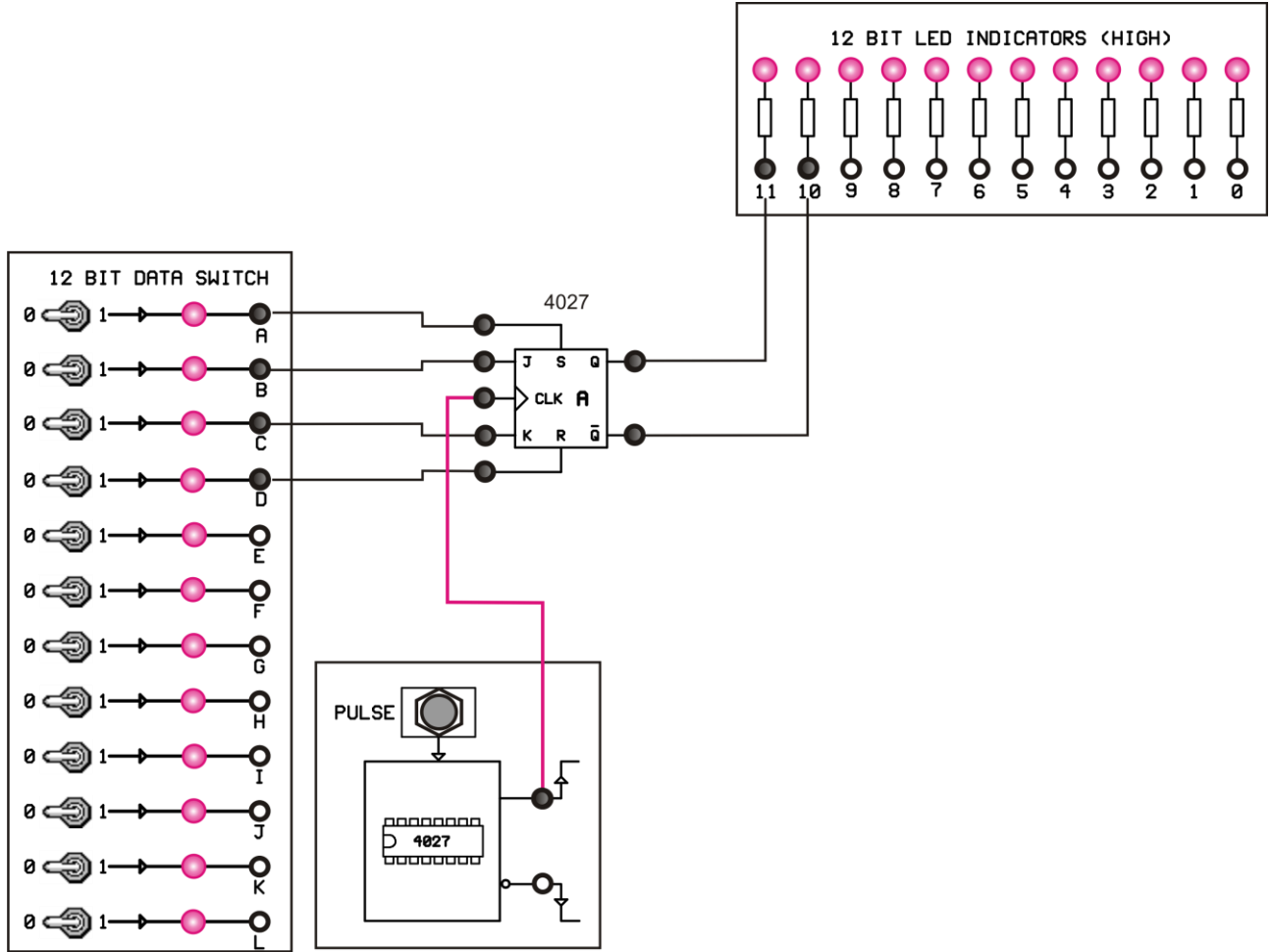
Şekil 21.2

Şekil 21.3

Tablo 21.1

DENEY NO: 21**DENEY ADI: J-K TİPİ FLİP-FLOP ' UN İNCELENMESİ****Deneyde Kullanılacak Set:**

1- Y-0020-01 Dijital Deney Seti,



Şekil 21.4

KONTROL		GİRİŞLER			ÇIKIŞ		AÇIKLAMA
SET	RESET	J	K	CLOCK	Q	Q'	
1	1	X	X	X	1	1	
1	0	X	X	X	1	0	
0	1	X	X	X	0	1	
0	0	0	0	1	0	1	
0	0	0	1	1	0	1	
0	0	1	0	1	1	0	
0	0	1	1	1	0	1	
0	0	0	0	1	0	1	

Tablo 21.2

Deneyin Yapılışı:

1. Devreyi Şekil. 21.4 ' deki gibi kurunuz ve gücü uygulayınız.

2. Tablo 21.2 'da ki SET, RESET, J-K, Clk' değerlerini kullanarak Q çıkışını gözleyip ilgili haneye yazınız. (X) Görülen yerler fark etmez değerlerdir. "1" veya "0" olabilir.

NOT: Clk palsi her dizide en son verilmelidir.

3. Tablo 21.2 ' da ki sonuçlara göre;

a.) J-K girişlerinin her ikisi de "0" iken Clk geldiği zaman FF eski durumunu koruyor mu?

b.) Clk girişi "1" den "0" a indiğinde FF tetikleniyor mu?

c.) Tablo 21.2 ' de ki sonuçlarla 4027 tümleşik devresi JK FF gerçeklik tablosu doğrulanmış mıdır ?

d.) SET ve RESET kontrolleri ne zaman etkili olmaktadır? Bu kontroller J-K, CLK' girişlerinden daha öncelikli midir?

DENEY ADI : D TİPİ FLIP-FLOP ' UN İNCELENMESİ

DENEY AMAÇLARI:

A- D-FF ' unu tanımak, mantık işlevini doğrulamak ve gerçeklik tablosunu çıkarmak,

B- INVERTER (DEĞİL) kapısı ve JK-FF ile D-FF yapmayı öğrenmek.

ÖN BİLGİ :

D-FF seviye ve kenar tetiklemesi ile çalışabilir. Çeşitli uygulama yerleri vardır.

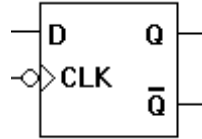
Seviye tetiklemeli D-FF ta Clock sinyali aktif durumda iken, veri hattında ne varsa çıkışına (Q) bunu aktarır.

Kenar tetiklemeli D-FF sadece clk palsi değişimi sırasında veri hattındaki mantık durumunu çıkışa (Q) aktarır.

Her iki D-FF türünde de yasak durum veya belirsizlik durumu oluşmaz.

D-FF' un sembolü ve doğruluk tablosu aşağıda görülmektedir.

Deneyde elde edilen D-FF yükselen kenar tetiklemeli dir.



Şekil 22.1

SEVİYE TETİKLEMELİ D-FF		
CLOCK	DATA	Q
0	0	0
0	1	1
1	0	ÖNCEKİ DURUM
1	1	ÖNCEKİ DURUM

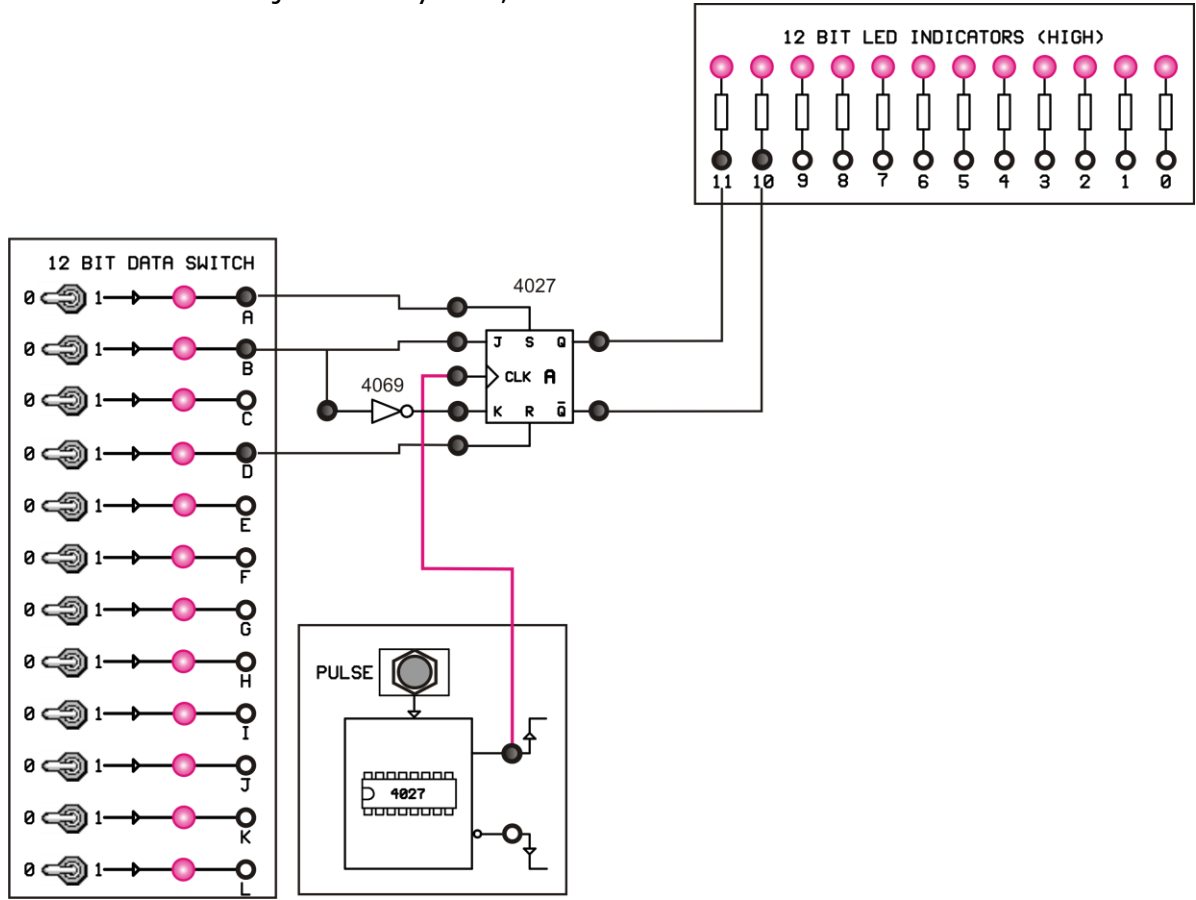
Tablo 22.1

YÜKSELEN KENAR TETİKLEMELİ D-FF		
CLOCK	DATA	Q
1	X	ÖNCEKİ DURUM
1	1	1
1	0	0

Tablo 22.2

DENEY NO: 22**DENEY ADI: D-FLİP-FLOP ' UN İNCELENMESİ****Deneyde Kullanılacak Setler:**

1- Y-0020-01 Dijital Deney Seti,



Şekil 22.2

KONTROL		GİRİŞLER		ÇIKIŞLAR		AÇIKLAMA
SET	RESET	CLOCK	DATA	Q	Q'	
1	1	X	X	1	1	
1	0	X	X	1	0	
0	1	X	X	0	1	
0	0	1	1	1	0	
0	0	1	0	0	1	

Tablo. 22.3

Deneyin Yapılışı :

1. Devreyi şekil 22.2 ' deki gibi kurup gücü uygulayınız.
2. Tablo 22.3 ' deki SET,RESET, Clk ve D değerlerini oluşturarak, Tablo 22.3 ' ü doldurunuz.

NOT : D girişi her zaman Clk girişinden önce sağlanmalıdır.

3. Tablo 22.3 ' deki sonuçlara göre, devre D tipi F-F olarak çalışmış mıdır?

DENEY ADI : T TİPİ FLIP-FLOP'LAR

DENEY AMAÇLARI :

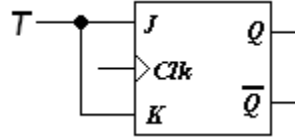
- A- T-FF ' u tanımak,
- B- Mantık işlevini doğrulamak ve doğruluk tablosunu çıkarmak,

ÖN BİLGİ :

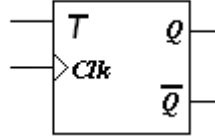
T-FF ' u girişine verilen bir saat palsinin frekansını ikiye böler.

T-FF türünde de yasak durum veya belirsizlik durumu oluşmaz.

T-FF' un JK-FF den oluşturulan devresi, sembolü ve doğruluk tablosu aşağıda görülmektedir.



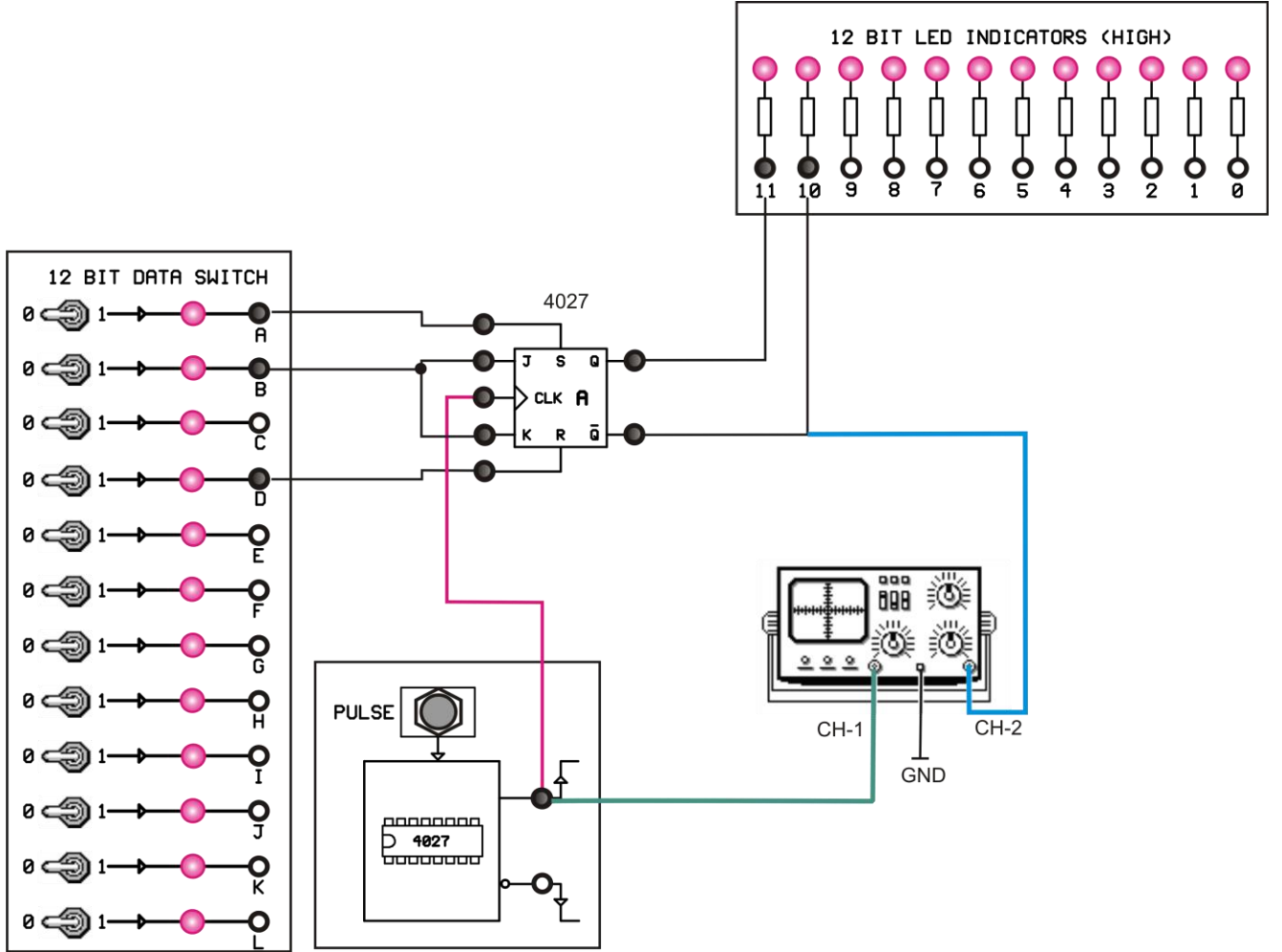
Şekil 23.1



Şekil 23.2

CLOCK	T	Q
0	0	KONUM DEĞİŞMEZ
0	1	ÖNCEKİNİN TERSİ

Tablo 23.1

DENEY NO: 23**DENEY ADI : T TİPİ FLIP-FLOP ' UN İNCELENMESİ****Deneyde Kullanılacak Setler ve Ölçü Aletleri:****1- Y-0020-01 Dijital Deney Seti****2- Osilaskop (Çift ışıklı)**

Şekil 23.2

Deneyin Yapılışı :

1- Devreyi Şekil 23.2 ' deki gibi kurun. Setlerin **GND**' lerini birleştirin. Gücü uygulayın.

2- A , D anahtarlarını "1" konumuna alarak SET' ve RESET' uçlarını pasif hale getiriniz.

3- B anahtarını " 1 " konumuna alarak J-K uçlarını (T) "1" yapınız.

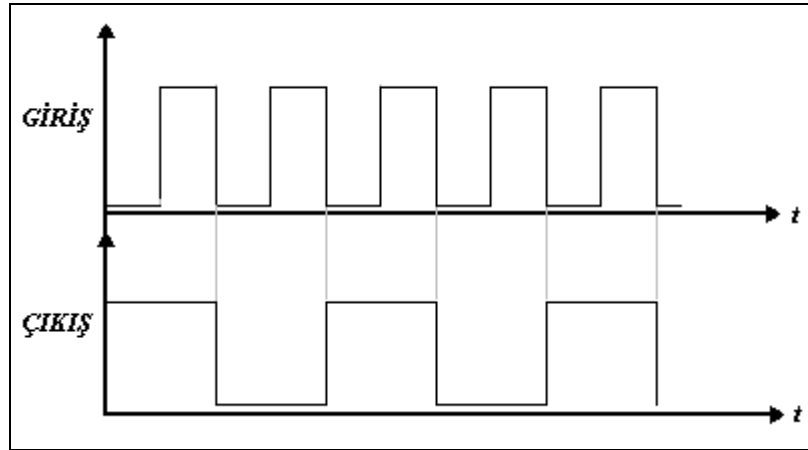
4- VAR CLOCK ' u yaklaşık 500 Hz ' e ayarlayınız.

5- Osilaskobun 1. kanalını VAR CLOCK ' un çıkışına, 2. kanalını FF ' nin Q çıkışına bağlayınız.

6- Giriş ve çıkışı osilaskopla gözleyip, şekilleri alt alta çiziniz.

a.) Devrenin çalışması nasıldır?

b.) Clk girişinin hangi noktalarında çıkış durum değiştirmektedir? Niçin?



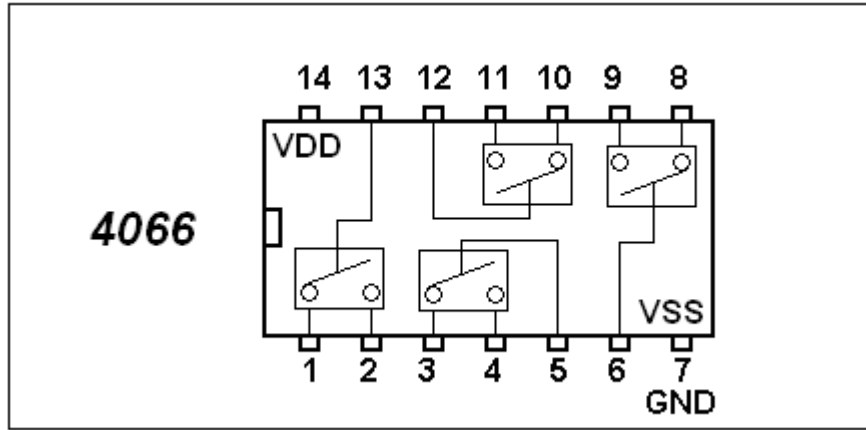
Şekil 23.3

7- Deneyin sonuçlarına göre, J-K FF gerektiğinde D-FF, gerektiğinde de T-FF olarak kullanılabilir mi?

DENEY ADI:
4066 (4016) DÖRTLÜ ANALOG ANAHTAR ENTEGRESİ

ÖN BİLGİ:

4066 Entegresinin yapısında birbirinden bağımsız 4 adet elektronik anahtar vardır. Anahtarların her birinin kontrol girişi ayrıdır. Şekil 24' de 4066 entegresinin bacak tanımlaması görülmektedir. 4066 entegresi analog işaretlerde olduğu kadar, sayısal işaretlerde de kullanılmaktadır. Her iki kullanım için besleme gerilimleri farklıdır. Sayısal kullanımda 14 nolu uca +5 volt , 7 nolu uca GND ` yi bağlamak gerekir. Analog kullanımda ise 14 nolu uca +5 volt , 7 nolu uca ise -5 volt bağlamak gerekir. Entegre içerisindeki anahtarların her biri açık durumda iken, çok büyük bir direnç, kapalı durumda ise yaklaşık 300 Ω civarında bir direnç gösterir.



Şekil 24

Anahtarların kapanabilmesi için kontrol ucuna 14 nolu ucdaki gerilime eşdeğer bir gerilim uygulanmalıdır. Kontrol ucuna 7 nolu ucdaki gerilime eşit bir gerilim uygulandığında ise ilgili anahtar açılır.

Anahtar çift yönlü olup, anahtarlar üzerinden geçecek işaretin genliği besleme gerilimi sınırında olmalıdır.

DENEY NO: 24

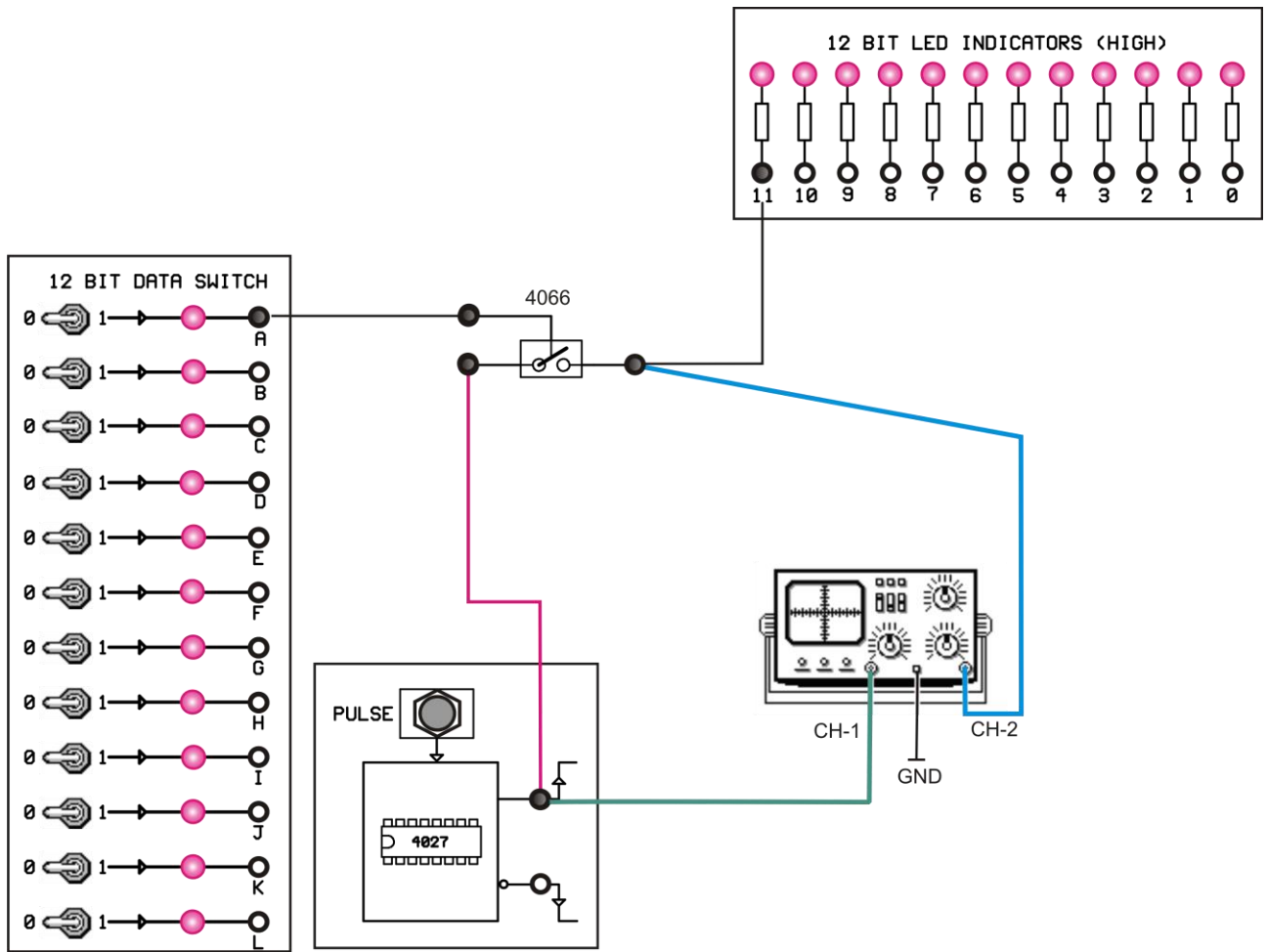
DENEY ADI : 4066 DÖRTLÜ ANALOG ANAHTAR ENTEGRESİNİN İNCELENMESİ

DENEY AMAÇLARI :

- A- 4066 entegresini tanımak ve bunun deneysel işlevini doğrulamak,
- B- Çeşitli özelliklerini incelemek.

Deneyde Kullanılan Set ve Ölçü Aletleri:

- 1- Y-0020-01 Deney Seti
- 2- Osilaskop



Şekil. 24.1

Deneyin Yapılışı:

1- Şekil 24.1'deki devreyi kurunuz. Kontrol ettikten sonra sisteme gücü uygulayınız.

2- A anahtarı "0" konumunda iken PULSE çıkışını 4066 anahtar girişine uygulayıp çıkışa bağlı osilaskoptan hareketleri izleyiniz.

3- İşaretler aynı mıdır ? Neden?

4- A anahtarını kapatarak 2. adımı tekrarlayınız. İşaretler aynı mıdır ? Neden?

5- PULSE çıkışını uyguladığınız uç ile osilaskobu bağladığınız ucu değiştiriniz. Yukarıdaki işlemleri tekrarlayınız. Anahtar çift yönlü çalışıyor mu?

6- Analog bilginin iletimi için kullandığınızda anahtarların besleme gerilimleri nasıl olmalıdır.